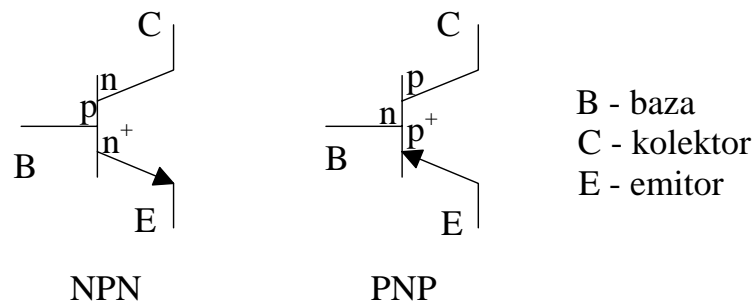


Logička kola sa bipolarnim tranzistorima

Model bipolarnog tranzistora

U analizi logičkih kola sa bipolarnim tranzistorima

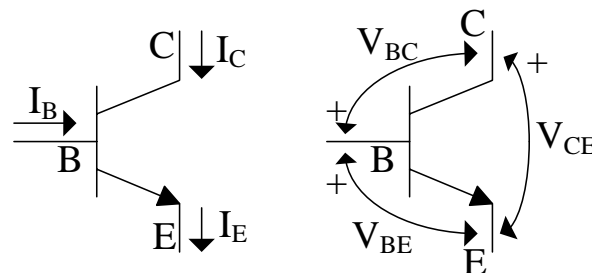


nećemo koristiti modele za male signale izvedene u analognoj elektronici. Znači r_{π} , g_m , itd. nama nisu od interesa. Ovi parametri su izvedeni pod uslovom da je tranzistor jednosmernim naponima i strujama polarizovan da radi u aktivnoj oblasti i na to se superponira promenljivi signal. Na primer

$$v_{BE}(t) = V_{BE} + v_s(t)$$

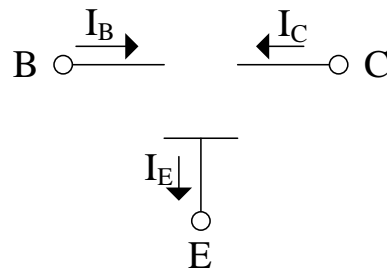
pri čemu je $V_{BE} \gg v_s(t)$. Logička kola ne rade u tom režimu. I aktivni elementi, u ovom slučaju bipolarni tranzistori, nisu uvek u aktivnom režimu. Da se podsetimo, da bi dobili zone malih pojačanja na karakteristici prenosa, potrebno je da naši elementi rade sa malim pojačanjima, odnosno za slučaj bipolarnih tranzistora da budu zakočeni li da rade u zasićenju. Zbog toga ćemo koristiti pojednostavljene modele bipolarnog tranzistora za veliki signal kada je tranzistor zakočen, u aktivnom režimu i u zasićenju. Retko ćemo sretati u logičkim kolima (skoro nikada) PNP tranzistore pa će ovde biti prikazani modeli samo za NPN tranzistore i to u direktnom režimu. Prilikom analize logičkih kola sa bipolarnim tranzistorima susrešćemo se i sa tranzistorima koji rade u inverznom režimu pa ćemo tada prodiskutovati o tome.

Usaglašeni naponi i struje



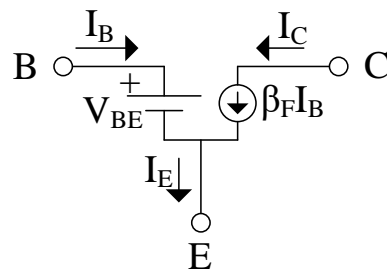
Ne zaboraviti da sa ovim načinom označavanja indeksa napona, je $V_{BE} = -V_{EB}$, itd.

Tranzistor je zakočen kada je napon između baze i emitora $V_{BE} < V_{\gamma T}$ i tada je model



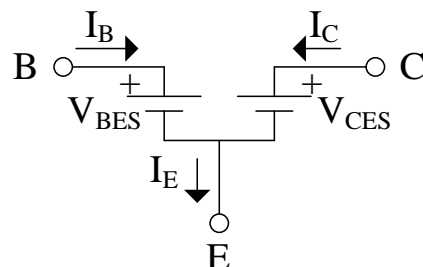
Struje $I_B = I_C = I_E = 0$, dok su naponi V_{CE} i V_{BC} određeni spoljašnjim elementima sa kojima je tranzistor povezan. Napon $V_{\gamma T}$ zvaćemo pragom ukljućenja tranzistora i u primerima smatrati da je $V_{\gamma T} = 0.5V$.

Tranzistor radi u aktivnom režimu kada je $V_{BE} > V_{\gamma T}$ i $\beta_F I_B = I_C$ i tada je njegov model



Napon između baze i emitora ćemo smatrati konstantnim i smatrati da ne postoji unutrašnja otpornost baze. Odnosno kao da se spoj baza emitor ponaša kao idealan naponski izvor čija je vrednost napona u daljim primerima $V_{BE} = 0.6V$. Struja emitera je $I_E = (\beta_F + 1)I_B$ dok su naponi V_{CE} i V_{BC} određeni spoljašnjim elementima sa kojima je tranzistor povezan. Napon između baze i kolektora je $V_{BC} < V_{\gamma T}$, odnosno spoja baza kolektor nije direktno polarizovan.

Tranzistor radi u zasićenju kada je $V_{BE} > V_{\gamma T}$ i $\beta_F I_B > I_C$ i tada je njegov model



Napon između baze i emitora ćemo smatrati konstantnim i smatrati da ne postoji unutrašnja otpornost baze. Odnosno kao da se spoj baza emitor ponaša kao idealan naponski izvor čija je vrednost napona u daljim primerima $V_{BES} = 0.7V$. Napon između kolektora i emitora ćemo takođe smatrati konstantnim i smatrati da ne postoji unutrašnja otpornost između kolektora i emitera. Odnosno kao da se spoj baza kolektor ponaša kao idealan naponski izvor čija je

vrednost napona u daljim primerima $V_{CES} = 0.1V$. Struja kolektora je određena spoljašnjim elementima sa kojima je tranzistor povezan a struja emitora je kao i uvek $I_E = I_C + I_B$. Uočiti da je spoj baze i kolektora direktno polarizovan odnosno da je napon između baze i kolektora $V_{BC} \geq V_{VT}$.

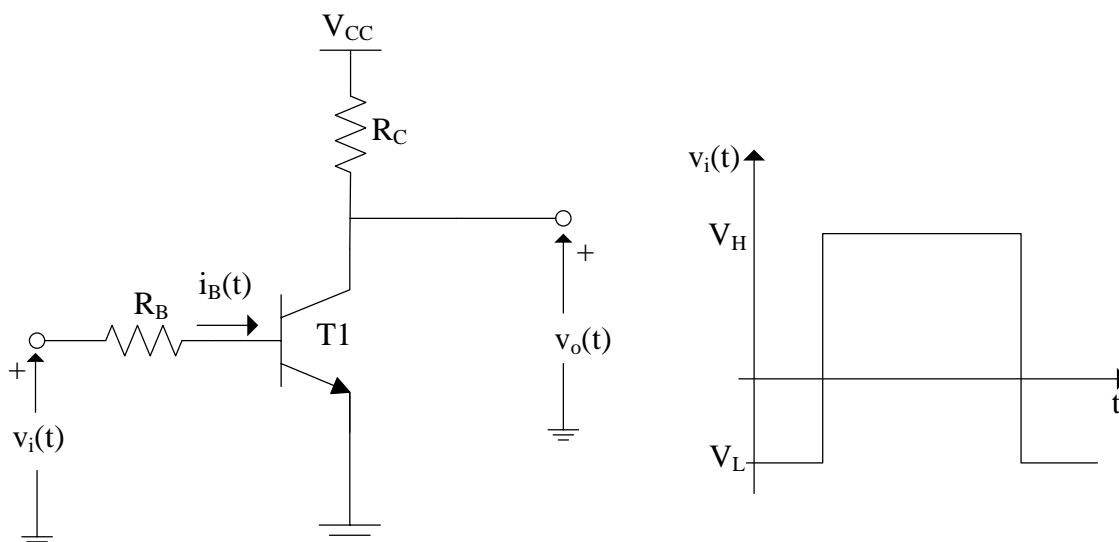
Kako da zaključimo u kojem režimu u kolu radi tranzistor videćemo kroz primere na logičkim kolima. Ali osnova je

1. Pretpostavimo režim rada tranzistora
2. Zamenimo tranzistor modelom za pretpostavljeni režim rada
3. Izračunamo parametre u kolu, napone i struje.
4. Na osnovu odnosa parametra (na primer da li je zaista $\beta_F I_B > I_C$) proverimo ispravnost naše pretpostavke.
5. Ako zaključimo da je pretpostavka pogrešna vraćamo se na tačku 1.

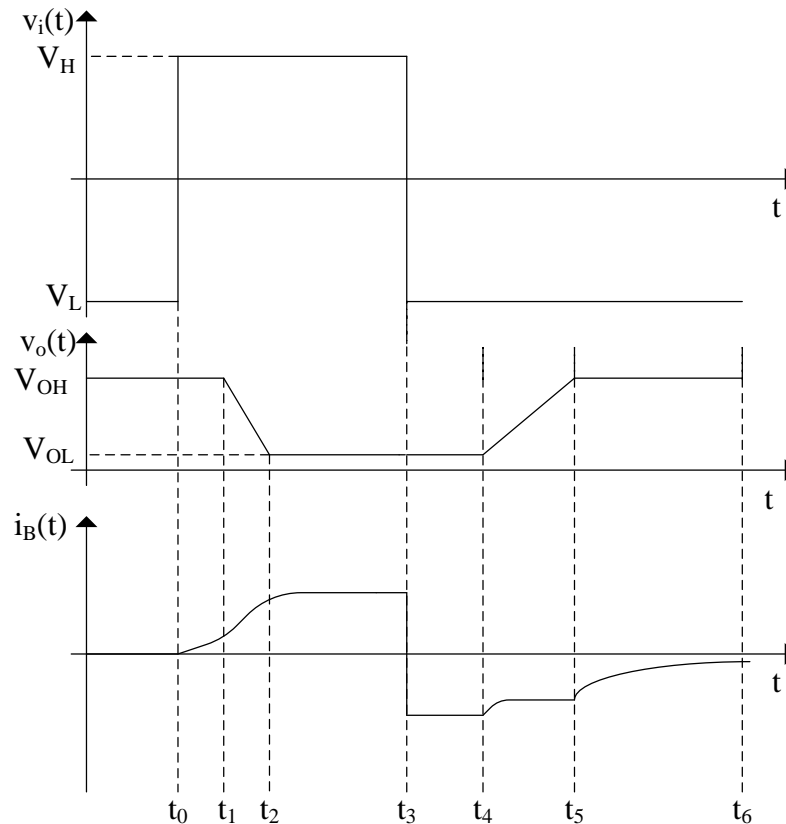
Cilj „gomile“ zadataka iz elektronika jeste da u analizi lakše u startu prepoznamo u kojim režimima rade tranzistori, da ih u sintezi pravilno iskoristimo itd. Prethodno opisani postupak će voditi rešenju čak i ako više puta pogrešimo sa početnom pretpostavkom. Samo je pitanje u kojem vremenskom roku ćemo „rešiti zadatak“.

Impulsni režim rada bipolarnog tranzistora

U opštem slučaju bipolarne tranzistore „možemo brzo uključiti“. Međutim ako su u zasićenju postoji problem brzine isključivanja. U tom smislu pogledajmo kvalitativno preko vremenskih dijagrama kako izgleda proces uključivanja i isključivanja bipolarnog tranzistora u standardnoj konfiguraciji „pojačavača sa zajedničkim emitorom“.



Smatraćemo da je napon V_H dovoljan da tranzistor uđe u zasićenje, a da je napon V_L negativan. U tom slučaju vremenski dijagrami su



Period t_0 do t_1 – vreme kašnjenja; pune se oblasti, „kapacitivnosti“, koje su inverzno polarizovane i „skupljaju“ se, još uvek ne postoji tranzistorski efekat, struja kolektora jednaka nuli.

Period t_1 do t_2 – vreme opadanja; pune se i dalje oblasti prostornog tovara, „kapacitivnosti“, bazno emitorski spoj je direktno polarizovan, uska je oblast, pojavljuje se višak manjinskih nosilaca u bazi, postoji tranzistorski efekat, struja kolektora postoji i zavisi od struje baze. Napon na izlazu opada.

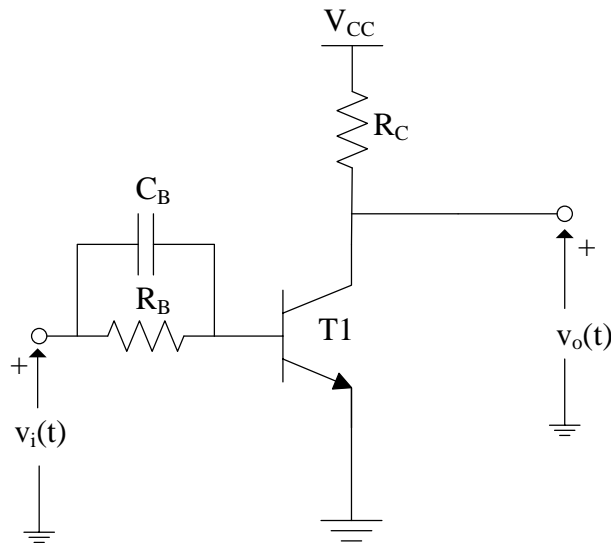
Period t_2 do t_3 – pri kraju prethodnog perioda i spoj baza emiter i spoj baza kolektor su direktno polarizovani. Pojavio se veliki višak manjinskih nosilaca na oba spoja. Tranzistor je u zasićenju.

Period t_3 do t_4 – period zasićenja. Napon na ulazu u kolo je negativan. Međutim postoje viškovi manjinskih nosilaca u oblasti baze. Oni ne mogu trenutno da nestanu. Pojavljuje se negativna bazna struja koja eliminiše viškove nosilaca iz baze. Tranzistor je i dalje u zasićenju-

Period t_4 do t_5 – vreme uspostavljanja. Oblast baza kolektor je postala inverzno polarizovano i nastavlja da se širi. Opada broj nosilaca uz oblast baza emitor, opada kolektorska struja.

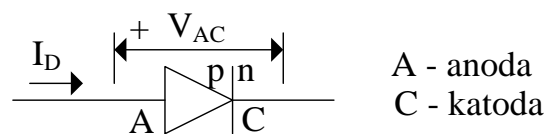
Period t_5 do t_6 – vreme oporavka. Oblast baza kolektor je inverzno polarizovano. Oblast baza emitor postaje inverzno polarizovana i širi se. Pune se oblasti prostornog tovara „kapacitivnosti“. Zato i jeste eksponencijalan oblik.

Ovi efekti u najgrubljem modelu mogu da se ekvivalentiraju parazitnim kapacitivnostima između baze i emitora i paralelnom otpornošću. U tom smislu, sećajući se kompenzovanog razdelnika napona u praksi se često uz otpornik R_B dodaje paralelna kapacitivnost u cilju da se ubrza rad kola. Ovo se ne odnosi na integrisana logička kola. Tu se ubrzanje rada postiže na drugi način: ne dozvoliti da tranzistor ide u duboko zasićenje.



Model diode

U analizi logičkih kola diode



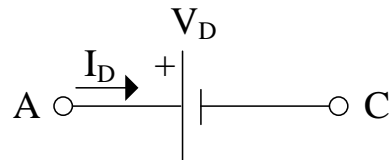
ćemo, kao i tranzistore, posmatrati pojednostavljenim modelima za velike signale. Dioda je zakočena kada je napon između anode i katode $V_{AC} < V_{\gamma D}$ i tada je model diode predstavljen otvorenom vezom



Struja diode $I_D=0$. U analizi ćemo posmatrati uslov koji nam je zgodniji. Na primer ako ne postoje uslovi da postoji struja veća od nule po referentnom smeru kroz diodu ona je

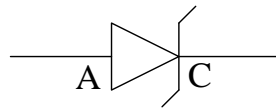
zakočena i napon na njoj je manji od $V_{\gamma D}$. Ili, ako ne postoje uslovi da dioda bude direktno polarizovana, odnosno $V_{AC} < V_{\gamma D}$ onda je ona „zakočena“, inverzno polarizovana, i struja $I_D=0$.

Dioda je na ivici provođenja kada je $V_{AC} = V_{\gamma D}$ i tada je struja kroz diodu približno jednaka nuli. A ako je, postoje uslovi, $V_{AC} > V_{\gamma D}$ dioda vodi i tada je njen model

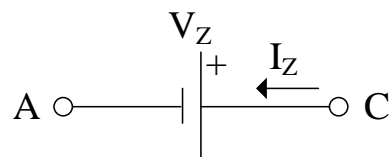


Struja I_D je određena spoljnim elementima kola i kao što smo rekli mora biti veća od nule. U daljoj analizi ćemo pretpostavljati $V_{\gamma D} = V_{\gamma T} = 0.5V$ i $V_D = V_{BE} = 0.6V$

Ovo je model takozvane pn diode. Međutim u analizi logičkih kola srešćemo se i sa Zener (Zener) diodom

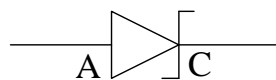


koja se u slučaju direktne polarizacije ponaša kao pn dioda. Međutim za „veliku“ struju $I_D < 0$, ili veliku inverznu polarizaciju $V_{AC} < 0$ (obratite pažnju da je u indeksu zamenjen redosled anoda katoda) dolazi do Zenerovog proboja inverzno polarizovanog pn spoja i dioda u tom režimu može da se predstavi modelom



Uslov da dioda radi u ovom režimu je sličan kao uslov za direktnu polarizaciju pn diode. Ako ne postoje uslovi da postoji struja I_Z veća od nule po referentnom smeru kroz diodu ona ne radi kao Zener dioda i napon na njoj je manji od $V_{CA} < V_Z$. Ili, ako ne postoje uslovi da dioda bude dovoljno inverzno polarizovana odnosno $V_{CA} < V_Z$ onda ona ne radi u oblasti Zenerovog proboja pa ne važi odgovarajući model.

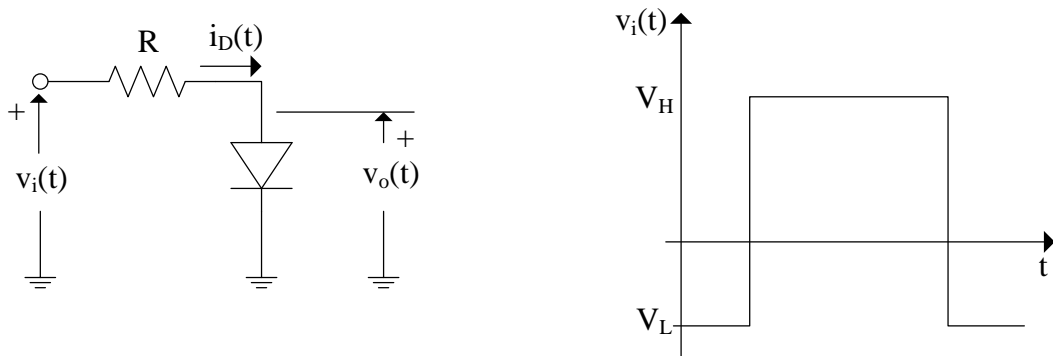
Za logička kola sa bipolarnim tranzistorima još interesantnija je Šotki (Schottky) dioda.



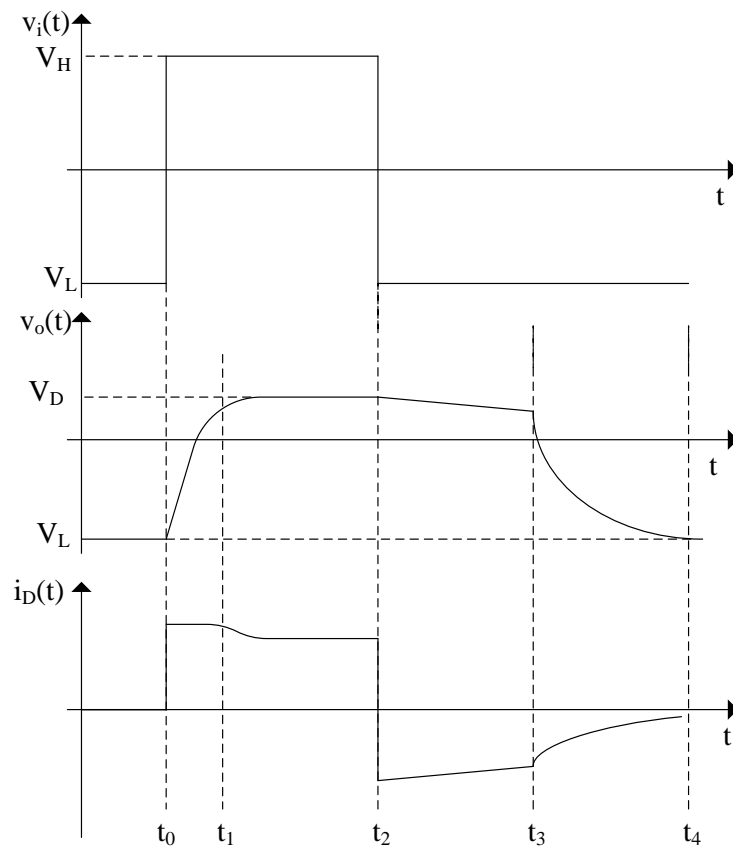
Šotki diodu obrazuje spoj metal poluprovodnik i zbog toga je napon direktne polarizacije kod ovakvih dioda manji. Za Šotki diode važe isti modeli kao i za pn diode, osim što ćemo u daljoj analizi smatrati da je pri direktnoj polarizaciji Šotki diode $V_{AC} = V_S = 0.3V$.

Impulsni režim rada diode

Pogledajmo kvalitativno preko vremenskih dijagrama kako izgleda proces uključjenja i isključenja diode



Smatraćemo da je napon V_H dovoljan da dioda bude direktno polarizovana, a da je napon V_L negativan. U tom slučaju vremenski dijagrami su



Period t_0 do t_1 – vreme kašnjenja; puni se oblast prostornog tovara, „kapacitivnost“, koje je inverzno polarizovana i „skupljaja“ se.

Period t_1 do t_2 – pri kraju prethodnog perioda pn spoj je direktno polarizovan. Dioda vodi. Struja je određena veličinom ulaznog napona, otpornošću i naponom direktne polarizacije diode

$$I_D = \frac{V_H - V_D}{R}$$

Period t_2 do t_3 – vreme nagomilavanja. Postoji velika koncentracija nagomilanih nosilaca uz oblast prostornog tovara. Spoj je i dalje direktno polarizovan. Pojavljuje se negativna struja koja odvodi nagomilane nosioce.

$$I_D = \frac{V_L - V_D}{R} \quad i \quad V_L < 0 \quad \rightarrow \quad I_D < 0$$

Period t_2 do t_4 – vreme prelaza. Oblast pn spoja postaje inverzno polarizovano i širi se. Prazne se oblasti prostornog tovara „kapacitivnosti“. Zato i jeste eksponencijalan oblik.

Šotki diode su zanimljive, pošto su spoj metal, poluprovodnik. Oblast prostornog tovara u metalu praktično i ne postoji, pa se ove diode mnogo brže uključuju i isključuju. „Kapacitivnosti“ su im znatno manje.

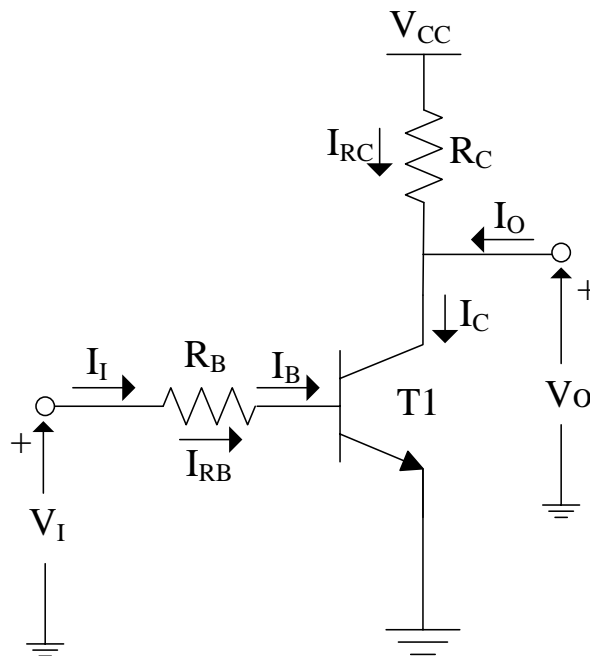
RTL logička kola

RTL – Resistor Transistor Logic

DIGRESIJA

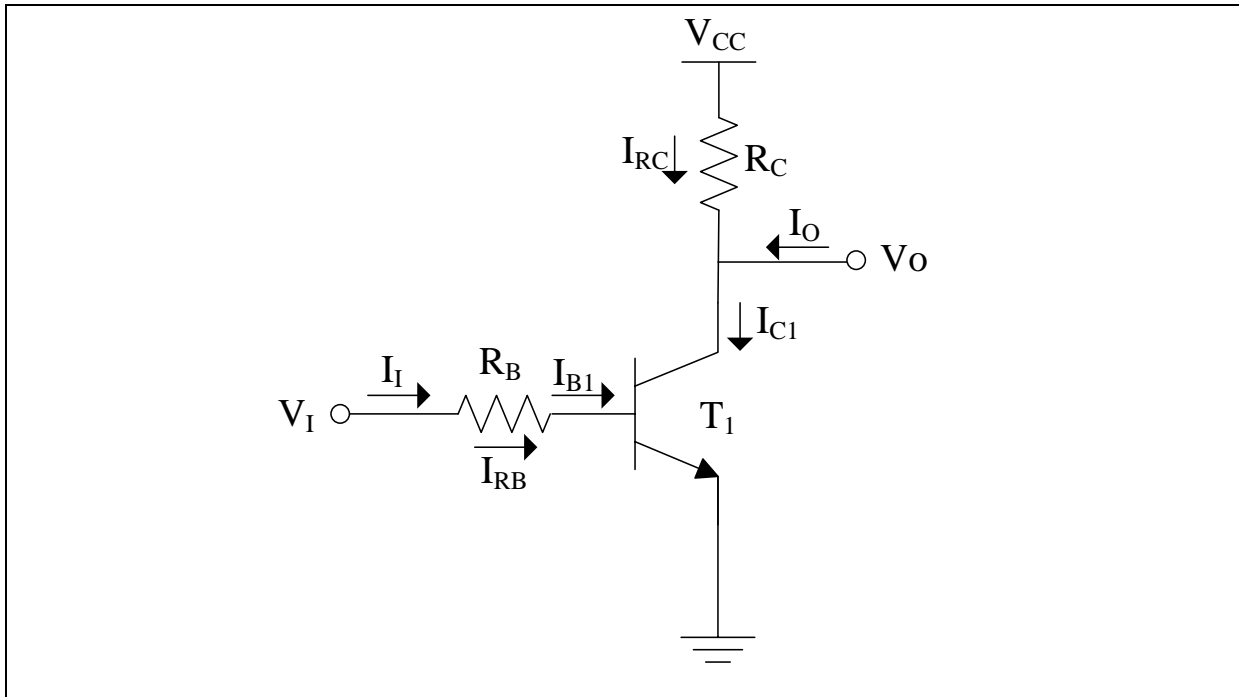
U narednom izlaganju će biti detaljno obrađeni aspekti RTL logičkih kola. Kao primer koji ćemo kasnije koristiti u anlizi drugih logičkih kola sa bipolarnim tranzistorima. Biće puno jednačina. Jednačine „ne treba pamtiti“. Treba da naučite principe. Znači na ispitu niko vas neće pitati kako glasi izraz za V_{IL} kod RTL logičkih kola. Pitanje će biti: Izvesti izraz za V_{IL} kod RTL logičkih kola. Proučavajte suštinu i principe.

Ako u analognoj elektronici potražimo kolo koje bi moglo da zadovolji parametre logičkog kola, dve neaktivne oblasti i oblast velikog pojačanja, kao prirodan izbor nam se nameće pojačavač sa zajedničkim emitorom.



DIGRESIJA

Da ne bi stalno crtali ove strelice za napone i znakove +, podrazumevamo da su oni u odnosu na masu, kao što smo ranije definisali, i da je znak+ u tački u kojoj smo označili napon. Znači u narednim šemama ćemo napone crtati i označavati na sledeći način. (Potencijal tačke u odnosu na masu možemo i tako da shvatimo).



Karakteristika prenosa RTL logičkog kola

Kao što smo definisali u elementima analize logičkih kola crtaćemo zavisnost $V_0 = f(V_I)$ tako što ćemo menjati ulazni napon od 0 do V_{CC} smatrajući da je kolo neopterećeno odnosno da je $I_0=0$. Krećemo do tačke $V_I=0$. Ajde na primeru na vidimo: pretpostavka režima rada tranzistor, dokaz pretpostavke „pa u krug“.

Pretpostavimo da je tranzistor T1 u aktivnom režimu. Po ulaznoj konturi važi

$$V_I - R_B I_{RB} - V_{BE1} = 0$$

Kako je

$$I_B = I_{RB} \rightarrow I_B = \frac{V_I - V_{BE1}}{R_B}$$

Po pretpostavci $V_I=0$ i $V_{BE1} = V_{BE} = 0.6V$, dobili bi da je $I_B < 0$, što je suprotno pretpostavci da je tranzistor u aktivnom režimu kada mora da bude $I_B \geq 0$. Znači idemo na novu pretpostavku, Potpuno identično razmišljanje i zaključke bi izveli i da smo pretpostavili da je tranzistor u zasićenju. Jedino bi imali u pretpostavci $V_{BE1} = V_{BES} = 0.7V$. Prema tome ostaje situacija da je tranzistor zakočen, odnosno da je $I_B = 0$, i $V_{BE1} < V_{VT}$. Iz istih jednačina (koje uvek važe)

$$V_I - R_B I_{RB} - V_{BE1} = 0$$

Pod uslovom da je $I_B = I_{RB} = 0$, onda je $V_{BE1} = V_I = 0$, odnosno $V_{BE1} < V_{VT}$, pa je naša pretpostavka da je tranzistor zakočen ispravna. Po izlaznoj konturi je

$$V_O = V_{CC} - R_C I_{RC}$$

a za neopterećeno kolo, $I_O=0$,

$$V_O = V_{CC} - R_C I_C$$

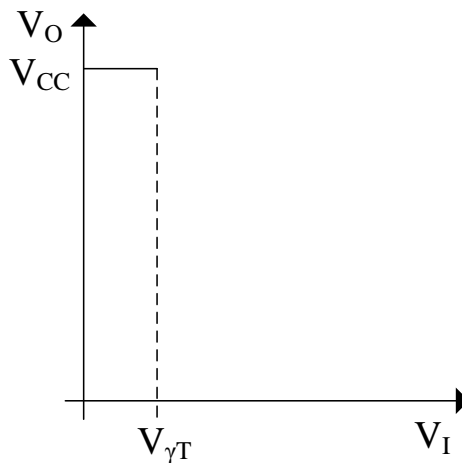
Tranzistor je zakočen pa je $I_C=0$ što znači da je za $V_I=0$, $V_O=V_{CC}$.

DIGRESIJA

Uočite da smo prvo pisali jednačine za konture i čvove sa opštim vrednostima (na primer V_{BE1}), pa tek onda zamenjivali konkretne vrednosti (na primer $V_{BE1}=V_{BE}=0.6V$). Isti takav način se od Vas očekuje na ispitu. Smanjuje se mogućnost da napravite greške a nama daje mogućnost da pravilnije procenimo Vaše znanje.

Gledajući razmišljanje koje smo izveli možemo da uočimo da će biti potpuno identična situacija dok god je $V_I < V_{\gamma T}$. Tek kada postane $V_I = V_{\gamma T}$ tada će biti $V_{BE1} = V_{\gamma T}$ odnosno postojaće uslov da tranzistor vodi sa $I_B=0$. Taj režim rada tranzistora naziva se „ivica provođenja“, U realnosti tranzistor će početi da vodi i sa manjim naponima između baze i emitora ali sa manje izraženim tranzistorskim efektom. Nam ne treba apsolutno tačna „računica“. To bi mogli da izvedemo simulacijama, Za analizu koju sprovodimo prikazana tri diskretna modela su više nego dovoljna.

Znači taj deo karakteristike prenosa će biti



Povećavamo ulazni napon. Pojaviće se mala struja baze tranzistora, a samim time i mala struja kolektora. Kako je $V_{CE1} = V_{CC} - R_C I_{RC} = V_{CC} - R_C I_C$, ovaj put je logična pretpostavka da će tranzistor za male bazne struje raditi u aktivnom režimu. Mogli smo da pretpostavimo i da tranzistor radi u zasićenju ali bi videli da za male kolektorske struje važi

$$V_{CE1} = V_{CC} - R_C I_{RC} = V_{CC} - R_C I_C > V_{CES}$$

odnosno da nam je pretpostavka bila pogrešna.

I dalje važi (uvek važi)

$$V_I - R_B I_{RB} - V_{BE1} = 0$$

$$V_O = V_{CC} - R_C I_{RC}$$

Za neopterećeno kolo i tranzistor u aktivnom režimu

$$V_O = V_{CC} - R_C I_{RC} = V_{CC} - R_C I_R = V_{CC} - R_C \beta_F I_B$$

Kako je

$$I_B = I_{RB} = \frac{V_I - V_{BE1}}{R_B}$$

onda je

$$V_O = V_{CC} - R_C \beta_F I_B = V_{CC} - R_C \beta_F \frac{V_I - V_{BE1}}{R_B} = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - V_{BE1})$$

Tranzistor je u aktivnom režimu pa je $V_{BE1} = V_{BE}$

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - V_{BE})$$

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - 0.6V)$$

Namerno je napisano u ovim oblicima pošto ovde mogu da nastanu nedoumice da li smo dobro uradili. Odnosno da neki rezultati budu zbunjujući.

Ako bi hteli da nastavimo da crtamo naš grafik, očigledno je da moramo krenuti od tačke gde smo stali, odnosno za $V_I = V_{\gamma T}$. Međutim ako ovu tačku zamenimo u jednačini koju smo prethodno našli

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_{\gamma T} - 0.6V) = V_{CC} - \beta_F \frac{R_C}{R_B} (0.5V - 0.6V) > V_{CC} \quad ???$$

Ovakav rezultat možda jeste nelogičan, ali je očekivan zbog naše diskretne prirode modela tranzistora i „naglog skoka“ sa $V_{BE1} = V_{\gamma T} = 0.5V$ na $V_{BE1} = V_{BE} = 0.6V$. Ovakve „nelogičnosti“ će nam se i dalje pojavljivati, međutim greške koje pravimo sa našim diskretnim modelima su male i nastavićemo da radimo sa njima. Znači smatraćemo da nema prekida u tački $V_I = V_{\gamma T}$ da se jednostavno od te tačke nastavlja karakteristika prenosa po jednačini

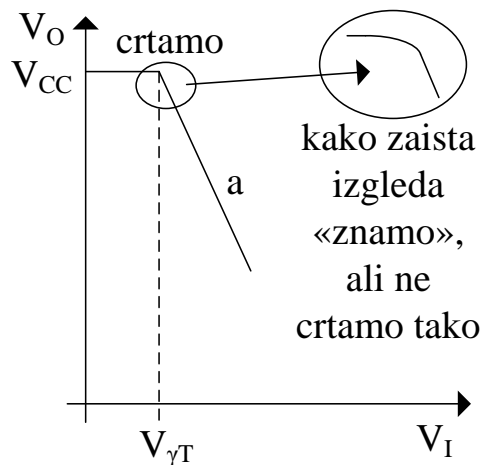
$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - V_{BE})$$

Kao što se vidi to je prava sa nagibom

$$a = \frac{dV_O}{dV_I} = -\beta_F \frac{R_C}{R_B}$$

odnosno sa pojačanjem koje mora biti $|a| \gg 1$

Crtamo kontinualnu pravu od tačke $V_I = V_{\gamma T}$ sa nagibom $a = -\beta_F \frac{R_C}{R_B}$



Zavisnost između izlaznog i ulaznog napona

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - V_{BE})$$

će važiti za sve ulazne napone dok važi i model, odnosno dok je tranzistor u aktivnom režimu. Povećanjem ulaznog napona izlazni napon se smanjuje a time i napon između kolektora i emitera tranzistora, pošto je za ovo kolo $V_{CE1} = V_O$. Za neki ulazni napon, napon između baze i kolektora tranzistor postaje pozitivan i može dostići vrednost $V_{BC1} = V_{\gamma T}$, odnosno napon između kolektora i emitora dostići vrednost $V_{CE1} = V_{CES}$, odnosno onu vrednost kada tranzistor ulazi u zasićenje. Po modelu tranzistora u zasićenju, dalje povećanje ulaznog napona neće izazivati promenu izlaznog napona odnosno izlazni napon postaje $V_O = V_{CES}$.

Ostaje da odredimo pri kojem ulaznom naponu V_{I1} tranzistor ulazi u zasićenje

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_{I1} - V_{BE}) = V_{CES}$$

Tada je

$$V_{I1} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE}$$

DIGRESIJA

Uočiti da u situaciji da se dobija

$$V_{I1} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE} > V_{CC}$$

odnosno

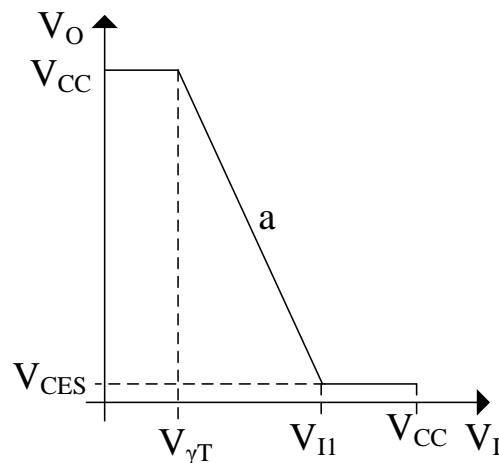
$$\frac{R_B}{\beta_F R_C} > \frac{V_{CC} - V_{BE}}{V_{CC} - V_{CES}}$$

tj

$$\frac{\beta_F R_C}{R_B} = |a| < \frac{V_{CC} - V_{CES}}{V_{CC} - V_{BES}} \approx 1$$

tranzistor ni za jedna ulazni napon ne ulazi u zasićenje, odnosno ne postoji treća zona, pa takvo kolo ne bi bilo logičko kol. Ovakav rezultat je i za očekivati.

U tom slučaju karakteristika prenosa je



Kao što smo u elementima analize logičkih kola rekli da nećemo morati da „rotiramo“ karakteristike, tražimo preseke itd., možemo odmah sa karakteristike prenosa uočiti karakteristične tačke

$$V_{OH} = V_{CC} \quad V_{OL} = V_{CES} \quad V_{IL} = V_{\gamma T} \quad V_{IH} = V_{II}$$

I margine šuma za višestruke izvore šuma

$$NM_{LMS} = V_{IL} - V_{OL} = V_{\gamma T} - V_{CES} \quad NM_{HMS} = V_{OH} - V_{IH} = V_{CC} - V_{II}$$

Da bi odredili marginu šuma za jednostruke izvore, treba odrediti tačku V_M . Ona se dobija, kao što smo rekli, kao presek prave $V_O=V_I$ i karakteristike prenosa u oblasti velikih pojačanja

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - V_{BE})$$

$$V_O = V_I = V_M$$

$$V_M = V_{CC} - \beta_F \frac{R_C}{R_B} (V_M - V_{BE})$$

$$V_M \left(1 + \beta_F \frac{R_C}{R_B} \right) = V_{CC} + \beta_F \frac{R_C}{R_B} V_{BE}$$

$$V_M = \frac{V_{CC} + \beta_F \frac{R_C}{R_B} V_{BE}}{1 + \beta_F \frac{R_C}{R_B}} = V_{BE} \frac{\frac{V_{CC}}{V_{BE}} + \beta_F \frac{R_C}{R_B}}{1 + \beta_F \frac{R_C}{R_B}} = V_{BE} \left(\frac{\frac{V_{CC}}{V_{BE}} - 1}{1 + \beta_F \frac{R_C}{R_B}} + 1 \right)$$

i biće blizu napona V_{BE} ako je pojačanje veliko. Sada su margine šuma za jednostruke izvore šuma jednake

$$NM_{LSS} = V_M - V_{OL} = V_M - V_{CES}$$

$$NM_{HSS} = V_{OH} - V_M = V_{CC} - V_M$$

I u jednom i u drugom slučaju se vidi nedostatak ovog kola. Mala margina šuma logičke nule! A samim tim inženjerski gledano, metodom najgoreg slučaja, i mala margina šuma kola.

Uočimo da bi sa stanovišta što uže prelazne zone bilo dobro da otpornik R_C bude što veći (ako smo na primer fiksirali strujno pojačanje i otpornik u bazi) ili da otpornik R_B bude što je moguće manji.

Pre nego što dalje nastavimo sa analizom statičkih karakteristika, radi provere, ajde da uradimo još jedan eksperiment u cilju određivanja napona V_{IH} . Da ga radimo onako kako smo i definisali taj napon. Najniži napon a da ga logičko kolo još uvek shvata kao logičku jedinicu. Zbog toga ćemo krenuti od situacije da je logička jedinica na ulazu u logičko kolo, i postepeno smanjivati taj napon. Krenućemo od $V_{OH}=V_{CC}$.

Kada je na ulazu u logičko kolo $V_I=V_{OH}=V_{CC}$ tranzistor će raditi u zasićenju. Izlazni napon je $V_{CES}=V_{OL}$. Kada će početi da se menja izlazni napon odnosno, kada kolo ulazi u oblast velikih pojačanja, Kada tranzistor izađe iz zasićenja.

Kako je

$$I_B = \frac{V_I - V_{BE1}}{R_B}$$

$$I_C = \frac{V_{CC} - V_{CE1}}{R_C}$$

to je za tranzistor u zasićenju

$$I_B = \frac{V_I - V_{BES}}{R_B}$$

$$I_C = \frac{V_{CC} - V_{CES}}{R_C}$$

i važi

$$\beta_F I_B > I_C$$

Smanjenjem ulaznog napona smanjuje se struje I_B i pri nekom ulaznom naponu V_{I2} će se pojaviti

$$\beta_F I_B = I_C$$

kada tranzistor izlazi iz zasićenja i ulazi u aktivan režim, a samim time i logičko kolo u oblast velikih pojačanja.

Znači za određivanje tačke V_{I2} važi

$$\beta_F \frac{V_{I2} - V_{BE}}{R_B} = \frac{V_{CC} - V_{CES}}{R_C}$$

odnosno

$$V_{I2} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BES}$$

i to je tačka V_{IH} .

Da se podsetimo ranije smo odredili tačku

$$V_{I1} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE}$$

i nju proglasili za tačku V_{IH} .

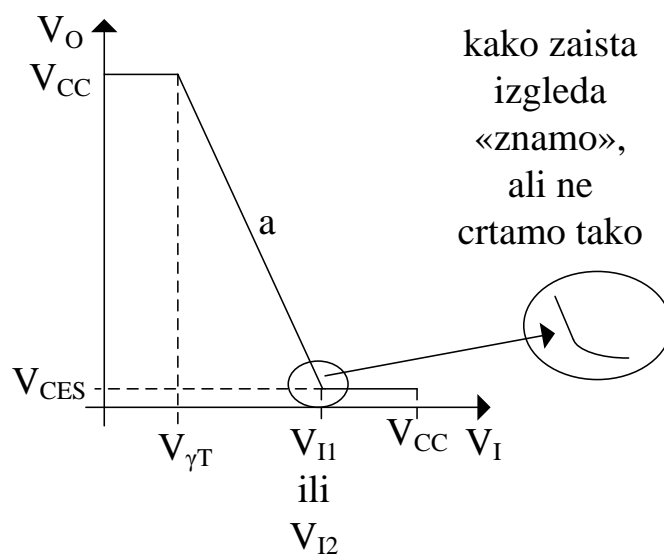
Uočite da se ova dva napona razlikuju

$$V_{I2} - V_{I1} = V_{BES} - V_{BE}$$

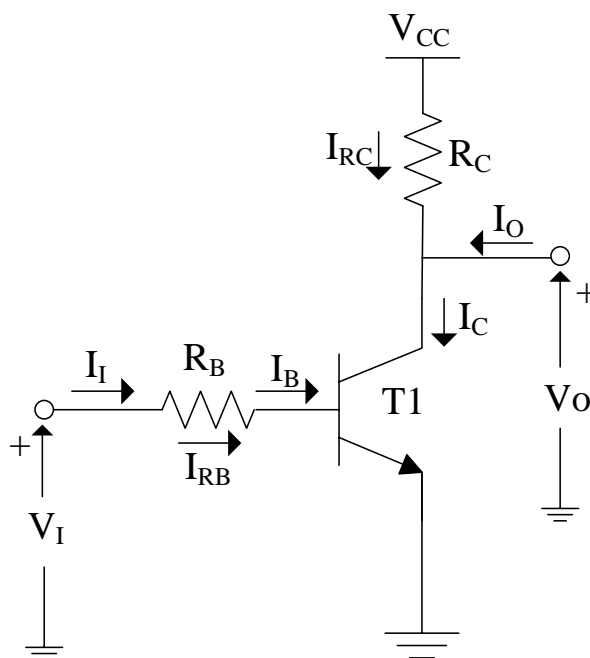
Pa koje je računanje tačno? Nadam se da ste odgovorili, netačno je i jedno i drugo, odnosno tačno je i jedno i drugo. ???

Nije tačno ni jedno ni drugo zato što u oba slučaja koristimo „grubu“ aproksimaciju rada tranzistora. Tačno je i jedno i drugo pošto je greška koju pravimo „mala“. Razlike u naponima između ova dva načina određivanja opet potiču iz diskretne prirode naših modela i diskretnog prelaza između njih.

A na ispitu? Bilo na jedan bilo na drugi način, oba se ravnopravno tretiraju.



Strujni kapaciteti RTL logičkog kola



Da bi odredili I_{IL} smatraćemo da se na ulazu nalazi napon od V_{OL} do V_{IL} . U tom slučaju tranzistor T1 je zakočen, kao što smo videli, pa je njegova bazna struja $I_B=0$, odnosno i ulazna struja jednaka nuli. Znači $I_{IL}=0$.

Da bi odredili I_{IH} smatraćemo da se na ulazu nalazi napon od V_{IH} do V_{OH} . U tom slučaju tranzistor T1 je u zasićenu, kao što smo videli, pa je njegova bazna struja I_B , što je isto što i ulazna struja I_I , po ulaznoj konturi

$$I_B = I_I = \frac{V_I - V_{BE1}}{R_B} = \frac{V_I - V_{BES}}{R_B}$$

Očigledno je ona maksimalna kada je i maksimalan ulazni napon $V_{I_{max}}=V_{OH}=V_{CC}$ pa je

$$I_{I_{max}} = I_{IH} = \frac{V_{CC} - V_{BES}}{R_B}$$

Da bi kolo što manje opterećivalo neko prethodno kola ova struja bi trebalo da bude što je manje moguća. U tom smislu treba otpornik R_B da bude što je moguće veći. Međutim, prilikom analize karakteristike prenosa smo videli da treba otpornik R_B da bude što je moguće manji da bi imali što je veće pojačanje i užu prelaznu zonu. I ovakve situacije će nas često pratiti u elektronici. Da imamo suprotne zahteve prilikom izbora komponenti. Rešenje je u kompromisu. Nećemo se baviti u ovom trenutku kako napraviti kompromis, pošto je povezan i sa tačnošću, preciznošću, komponenti i sa disipacijom i sa ... U analizi ćemo smatrati da je ta vrednost određena.

Da bi odredili I_{OH} smatraćemo da je na izlazu napon logičke jedinice. Tada je tranzistor zakočen pa je po izlaznoj konturi

$$I_O = -\frac{V_{CC} - V_O}{R_C}$$

Znak minus je posledica usvojenog referentnog smera izlazne struje i on pokazuje ono što smo u elementima analize rekli da će logička kola za stanje logičke jedinice na izlazu biti izvori struje, odnosno da će pravi smer struje biti „iz kola“. I kao što smo u elementima analize rekli mogli bi sada u jednačini da zamenimo $V_O = V_{IH}$, pošto će naredno kolo taj napon i dalje shvatati kao logičku jedinicu. Ali u tom slučaju nismo ostavili prostor da sme da se pojavi bilo kakav šum na tom naponu. Zato definišemo minimalan napon logičke jedinice na izlazu V_{OHmin} tako da je $V_{OHmin} > V_{IH}$. U tom slučaju

$$I_{Omax} = I_{OH} = -\frac{V_{CC} - V_{OHmin}}{R_C}$$

Nadam se da vas ne zbunjuje ovo max u indeksu. Nije baš matematički tačno. Matematički i struja 0 će biti veća od ove struje (za još više i bolje V_{OHmin}). Znači ovo max treba shvatiti po logici. Maksimalna apsolutna vrednost struje. Isto tako je i u katalozima. Ako je neko u kolonu MAX stavio da je maksimalna vrednost struje na izlazu $I_{OH}=-20mA$, ne znači da smete da dovede $-25mA$ na izlaz, pošto je matematički $-25 < -20$. I kao što smo videli na primeru otpornika R_B , i ovde imamo dvostruki zahtev: 1. otpornik R_C treba da bude što manji da bi strujni kapacitet izlaza bio što veći; 2. otpornik R_C treba da bude što veći da bi pojačanje bilo što veće i što uža prelazna zona. Kompromis.

Da bi odredili I_{OL} smatraćemo da je na izlazu napon logičke nule. Tada je tranzistor u zasićenju. Na izlaznom čvoru važi

$$I_C = I_{RC} + I_O$$

Povećanjem izlazne struje povećava se i struja kolektora tranzistora, a da bi bio stabilan napon logičke nule, potrebno je da tranzistor ostane u zasićenju, odnosno potrebno je da bude $\beta_F I_B > I_C$. Znači

$$\beta_F I_B > I_C = I_{RC} + I_O$$

odnosno

$$I_O < \beta_F I_B - I_{RC}$$

Kako je po izlaznoj konturi

$$I_{RC} = \frac{V_{CC} - V_O}{R_C}$$

a tranzistor je u zasićenju

$$I_{RC} = \frac{V_{CC} - V_O}{R_C} = \frac{V_{CC} - V_{CES}}{R_C}$$

Znači

$$I_O < \beta_F I_B - I_{RC} = \beta_F I_B - \frac{V_{CC} - V_{CES}}{R_C}$$

Ostaje pitanje koje I_B zameniti u jednačinu, a kako smo već ranije napisali

$$I_B = \frac{V_I - V_{BE1}}{R_B} = \frac{V_I - V_{BES}}{R_B}$$

Pitanje je u stvari koje V_I staviti na ulaz kola, da bi dobili minimalno I_B . Tražimo minimalnu, maksimalnu vrednost izlazne struje. Nadam se da nije zbunjujuće. Suštinski tražimo maksimalnu izlaznu struju u najgorem slučaju.

Nadam se da je svima jasno da to nije napon V_{IH} . Ako bi smatrali da je

$$I_{Bmin} = \frac{V_{IH} - V_{BES}}{R_B}$$

i da je to najgori slučaj

$$I_O < \beta_F I_{Bmin} - \frac{V_{CC} - V_{CES}}{R_C} = \beta_F \frac{V_{IH} - V_{BES}}{R_B} - \frac{V_{CC} - V_{CES}}{R_C} = I_{OL}$$

kako smo ranije našli da je

$$V_{I2} = V_{IH} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BES}$$

(V_{I2} a ne V_{IH} , videli smo da su obe tačne, ali ćemo sa V_{I2} lakše uočiti šta se dešava)

dobili bi

$$I_O < \beta_F I_{Bmin} - \frac{V_{CC} - V_{CES}}{R_C} = \beta_F \frac{\frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BES} - V_{BES}}{R_B} - \frac{V_{CC} - V_{CES}}{R_C} = 0 = I_{OL}$$

što je logično jer smo tačku V_{IH} odredili da za NEOPTREĆENO kolo ($I_O=0$) tranzistor ostane u zasićenju. To jeste najgori slučaj, ali nije nam baš praktičan. Da bi ipak dobili „suvisao“ strujni kapacitet uvešćemo minimalan napon logičke jedinice koji sme da se pojavi na ulazu, viši od napona V_{IH} , tako da dobijemo dovoljno dobar strujni kapacitet, ostavimo prostor za šum, itd... Zar to ne beše onaj već spominjani napon $V_{OHmin} > V_{IH}$? Da upravo on. Prema tome

$$I_O < \beta_F I_{Bmin} - \frac{V_{CC} - V_{CES}}{R_C} = \beta_F \frac{V_{OHmin} - V_{BES}}{R_B} - \frac{V_{CC} - V_{CES}}{R_C} = I_{OL}$$

Što manje R_B , što veće R_C . Opet kontradiktorni zahtevi u odnosu na neke ranije.

Može da se postovi pitanje, zašto nismo dozvoli da tranzistor izađe iz zasićenja i da se na izlazu pojavi maksimalan napon koji naredno kolo može da shvati kao napon logičke nule, odnosno V_{IL} . Prvo, ne bi na izlazu imali prostora za margine šuma, a drugo dobili bi verovatno bolju situaciju, odnosno veće I_{OL} . U tom slučaju počevši od toga da je tranzistor u aktivnom režimu gde je $\beta_F I_B = I_C$ i ponavljajući prethodna izvođenja i razmišljanja dobili bi

$$I_{OL} = \beta_F \frac{V_{OHmin} - V_{BE}}{R_B} - \frac{V_{CC} - V_{IL}}{R_C}$$

Ako ovo označimo kao drugi rezultat, a prethodni kao prvi

$$I_{OL1} - I_{OL2} = \left(\beta_F \frac{V_{OHmin} - V_{BES}}{R_B} - \frac{V_{CC} - V_{CES}}{R_C} \right) - \left(\beta_F \frac{V_{OHmin} - V_{BE}}{R_B} - \frac{V_{CC} - V_{IL}}{R_C} \right)$$

$$I_{OL1} - I_{OL2} = -\beta_F \frac{V_{BES} - V_{BE}}{R_B} + \frac{V_{IL} - V_{CES}}{R_C}$$

$$I_{OL1} - I_{OL2} = \frac{\beta_F}{R_B} \left(-(V_{BES} - V_{BE}) + \frac{R_B}{\beta_F R_C} (V_{IL} - V_{CES}) \right)$$

Uslov da tranzistor bude u zasićenju je $\beta_F I_B > I_C$ pri čemu je $I_B \sim \frac{V_{CC}}{R_B}$ i $I_C \sim \frac{V_{CC}}{R_C}$. Približan uslov za izbor β_F , R_B , R_C odnosno njihove odnose u ovom kolu jeste

$$\beta_F R_C > R_B$$

što daje usku prelaznu zonu, i dozvoljava oblast malih pojačanja za ulazne napone. Da se podsetimo

$$V_{IH} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BES}$$

U slučaju da je $\beta_F R_C < R_B$, dobili bi da nam je tačka V_{IH} van opsega napona napajanja. Prema tome možemo da zaključimo da je u slučaju pravilnog izbora komponenti

$$(I_{OL1} - I_{OL2}) < 0$$

odnosno da je I_{OL} zaista I_{OL1} .

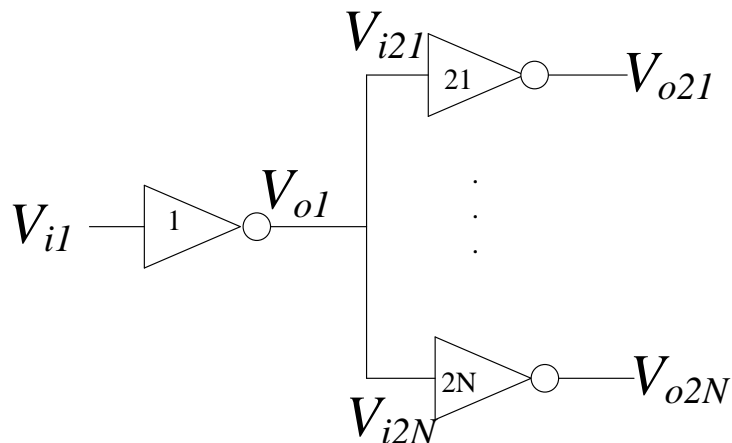
Na osnovu dobijenih vrednosti možemo izračunati i faktore grananja

$$N_L = \frac{I_{OL}}{I_{IL}} = \infty$$

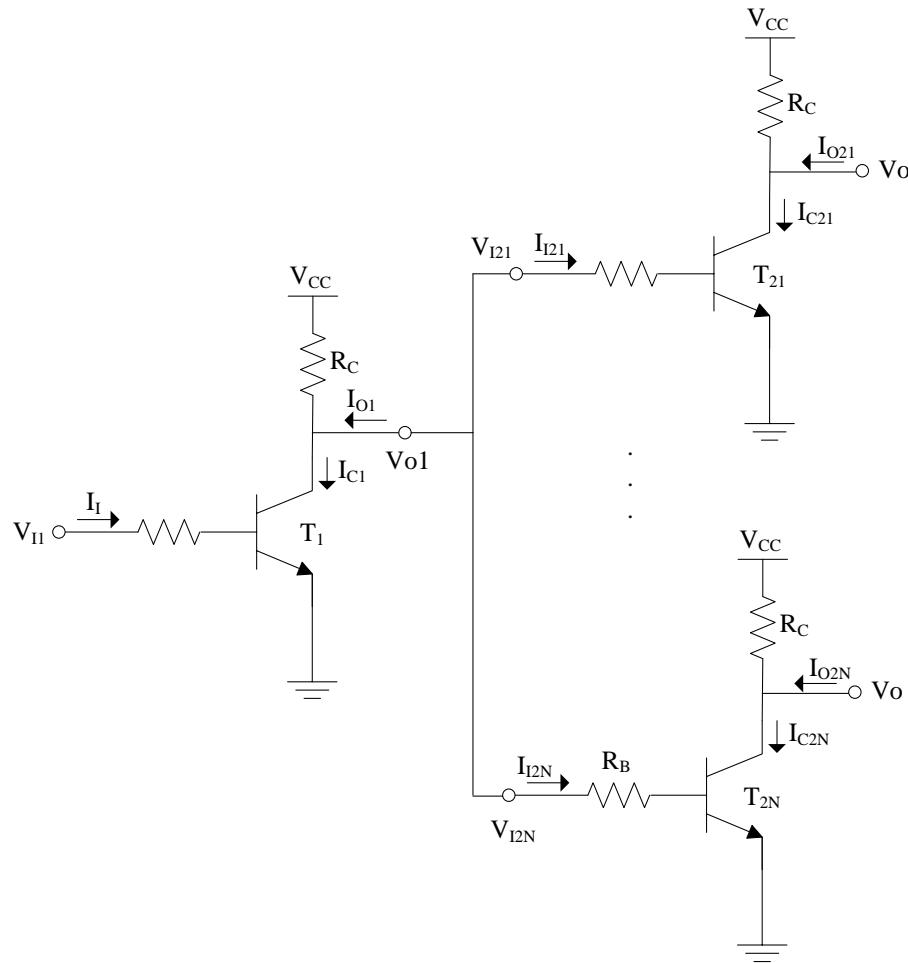
$$N_H = \frac{|I_{OH}|}{I_{IH}} = \frac{\frac{V_{CC} - V_{OHmin}}{R_C}}{\frac{V_{CC} - V_{BES}}{R_B}} = \frac{R_B}{R_C} \frac{V_{CC} - V_{OHmin}}{V_{CC} - V_{BES}} \sim \frac{R_B}{R_C}$$

$$N = \min(N_L, N_H)$$

Da vidimo kako povezivanje izgleda u „realnim“ uslovima



Izlaz invertora iz prvog nivoa dovodi se na ulaze N invertora u drugom nivou.



U ovakvim situacijama smatraćemo da su kola identična, iste vrste. Iz šeme je vidljivo da će biti $V_{I21}=V_{I22}=\dots=V_{I2N}=V_{O1}$, kao i da je $I_{O1}=-NI_{I2i}$, pošto je zbog identičnosti kola $I_{I21}=I_{I22}=\dots=I_{I2i}=\dots=I_{I2N}$.

Ako je na ulazu u inverter u prvom nivou logička jedinica, na njegovom izlazu će biti logička nula. To je istovremeno logička nula na ulazima u invertore u drugom nivou. Tranzistori u invertorima drugog nivo su zakočeni i kao što smo videli njihove bazne struje su jednake nuli odnosno u tom slučaju $I_{I21}=I_{I22}=\dots=I_{I2i}=\dots=I_{I2N}=0$, odnosno „ne opterećuju“ inverter u prvom nivou, $I_{O1}=0$, bez obzira koliko invertora povezali u drugom nivou. Tranzistor T_1 ostaje u zasićenju bez obzira na broj N . Znači $N_L=\infty$.

Ako je na ulazu u inverter u prvom nivou logička nula, na njegovom izlazu će biti logička jedinica. To je istovremeno logička jedinica na ulazima u invertore u drugom nivou. Invertori u drugom nivou na svom izlazu treba da daju logičke nule, odnosno tranzistori T_{21} do T_{2N} treba da budu u zasićenju.

Po izlaznoj konturi logičke jedinice invertora prvog nivoa, i ulaznim konturama invertora u drugom nivou, izjednačavajući struje $-I_{O1}=NI_{I2i}$ (i dalje zbog simetrije važi $I_{I21}=I_{I22}=\dots=I_{I2i}=\dots=I_{I2N}$) dobijamo

$$\frac{V_{CC} - V_{O1}}{R_C} = N \frac{V_{I2i} - V_{BE2i}}{R_B}$$

pri čemu je $V_{O1}=V_{I2i}$ i $V_{BE2i}=V_{BES}$ pa je

$$\frac{V_{CC} - V_{I2i}}{R_C} = N \frac{V_{I2i} - V_{BES}}{R_B}$$

odnosno

$$V_{I2i} \left(\frac{N}{R_B} + \frac{1}{R_C} \right) = \frac{V_{CC}}{R_C} + \frac{NV_{BES}}{R_B}$$

Napon V_{I2i} mora biti veći i u najgorem slučaju jednak minimalnom naponu logičke jedinice na ulazu V_{Imin} , da bi i tranzistori T_{21} do T_{2N} ostali u zasićenju i kada su izlazi logičkih kola u drugom nivou maksimalno opterećeni strujama I_{OL} . Već smo definisali taj napon $V_{Imin}=V_{OHmin}$.

Znači

$$V_{I2i} = \frac{\frac{V_{CC}}{R_C} + \frac{NV_{BES}}{R_B}}{\frac{N}{R_B} + \frac{1}{R_C}} \geq V_{OHmin}$$

$$\frac{V_{CC}}{R_C} + \frac{NV_{BES}}{R_B} \geq V_{OHmin} \left(\frac{N}{R_B} + \frac{1}{R_C} \right)$$

$$-\frac{NV_{OHmin}}{R_B} + \frac{NV_{BES}}{R_B} \geq \frac{V_{OHmin}}{R_C} - \frac{V_{CC}}{R_C}$$

$$N \frac{V_{OHmin} - V_{BES}}{R_B} \leq \frac{V_{CC} - V_{OHmin}}{R_C}$$

$$N \leq \frac{R_B}{R_C} \frac{V_{CC} - V_{OHmin}}{V_{OHmin} - V_{BES}}$$

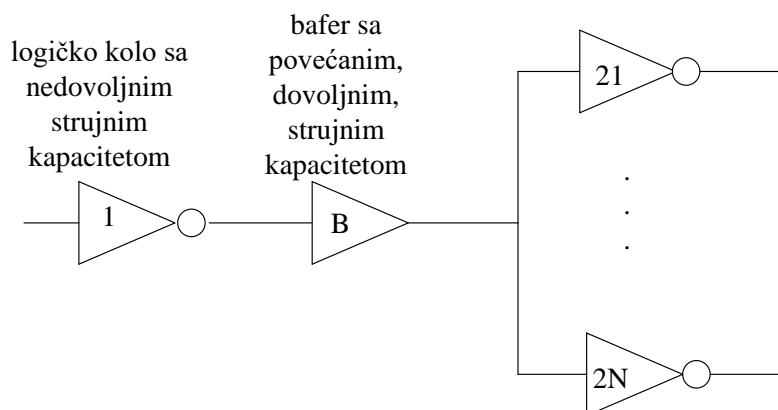
$$N_H = \frac{R_B}{R_C} \frac{V_{CC} - V_{OHmin}}{V_{OHmin} - V_{BES}}$$

Da se podsetimo, ranije smo dobili

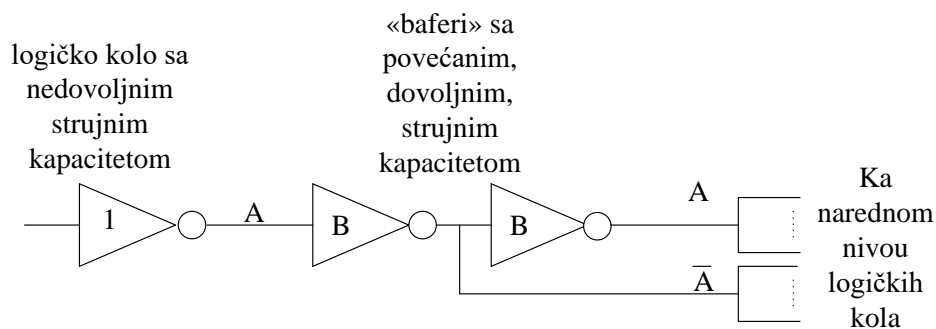
$$N_H = \frac{R_B}{R_C} \frac{V_{CC} - V_{OHmin}}{V_{CC} - V_{BES}}$$

Znači na ovaj način smo dobili sličan rezultat, što je i za očekivati, ali ipak malo veće N . Ne zaboravimo da smo prvi rezultat dobili po definiciji, kao što bi radili i da smo vrednosti pročitali iz kataloga. Drugi rezultat smo dobili računajući na osnovu poznavanja unutrašnjosti kola. Kao inženjeri, baš i nemamo vremena da svaki put analiziramo znajući šta se u kolu tačno dešava i kako su elementi povezani. Često to i ne poznajemo. Prema tome inženjerski

ostajemo da koristimo i računamo na prvi način. Isto tako i na ispitu, osim ako u tekstu zadatka ne bude naglašeno da moramo posmatrati „akademsko“ povezivanje. Isto tako kao inženjeri ćemo biti u situaciji da na izlaz logičkog kola iz prvog nivoa treba do povežemo N ulaza u logička kola drugog nivoa. Pri čemu se ovo N približava faktoru grananja logičkog kola iz prvog nivoa. Inženjerski, nećemo „ići do krajnjih granica“. Između prvog i drugog nivoa ubacićemo logičko kolo koje ima veće izlazne strujne kapacitete i ne menja logičku funkciju. I za to će nam služiti bafersko kolo, koje smo videli da u logičkom smislu „ničemu ne koristi“, ali je za ovakve situacije izuzetno značajno.



U situaciji kada su u drugom nivou potrebne i prave i komplementne vrednosti signala iz logičkog kola prvog nivoa kao baferska kola se uzimaju invertori sa većim strujnim kapacitetom

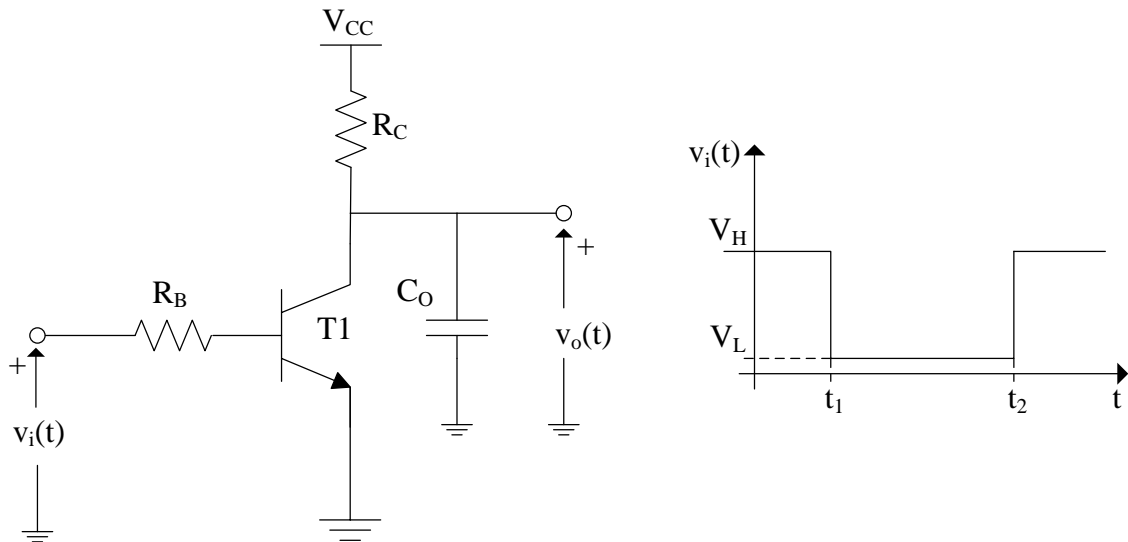


Rasterećenje izlaza

Ovaj način prelaska sa jednog nivoa logičkih kola naziva se „rasterećenjem ulaza“. Na prvi pogled liči da ćemo povećati kašnjenje u kolu. Videćemo da to ne mora biti slučaj i da povećanje strujnih kapaciteta principski vodi i ka bržem radu kola, odnosno manjim kašnjenjima. Da to uvek nije pravilo i da treba uvek analizirati sve efekte, videćemo kod CMOS logičkih kola, gde ćemo povećanjem geometrije tranzistora moći da povećamo strujne kapacitete. Ali ćemo isto tako povećanjem geometrije povećati interne parazitne kapacitivnosti što utiče na sporiji rad kola. Videćemo da ćemo tada na svu sreću moći da optimizujemo taj postupak, odnosno da nađemo kompromis.

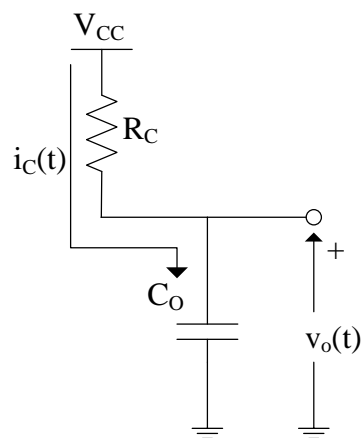
Dinamičke karakteristike RTL logičkog kola

Da bi sagledali dinamičke karakteristike RTL logičkog kola smatraćemo da se na izlazu nalazi kapacitivnost C_O koja predstavlja parazitne kapacitivnosti linija sa kojima je izlaz kola povezan sa ostatkom digitalnog sistema kao i ulazne kapacitivnosti narednog nivoa logičkih kola.



Uočite da su naponski nivoi ulaznog signala na grafiku označeni kao V_L i V_H . To su „neki“ naponi koji odgovaraju naponima logičke nule i logičke jedinice, a u toku analize ćemo videti njihove vrednosti kao najgori slučaj za rad kola.

Do trenutka t_1 smatraćemo da su svi prelazni procesi završeni, i pošto je na ulazu logička jedinica na izlazu će biti logička nula, odnosno napon V_{OL} . U trenutku t_1 dešava se promena ulaznog napona sa logičke jedinice na logičku nulu. Smatraćemo da unutar kola ne postoje akumulativni elementi, da je tranzistor idealno brz (parazitni akumulativni elementi su izdvojeni u C_O). To znači da će se u trenutku t_1 tranzistor T_1 odmah zakočiti tako da će se kapacitivnost C_O puniti preko otpornika R_C .



To kolo smo posmatrali u elementima analize logičkih kola i važiće

$$v_o(t) = v_o(\infty) + (v_o(t_1^+) - v_o(\infty))e^{-\frac{t-t_1}{\tau}} \quad \text{za } t \geq t_1$$

1. τ

$$\tau = C_0 R_C$$

2. $v_o(t_1^+)$

Kako je izlazni napon istovremeno i napon na kondenzatoru, koji ne može trenutno da se promeni, i za koji znamo da je bio V_{OL}

$$v(t_1^+) = V_{OL}$$

3. $v_o(\infty)$

Kada se završe svi prelazni procesi $i_c(\infty) = 0$, što je istovremeno i struja kroz otpornik, pa je napon na otporniku u beskonačnosti jednak nuli

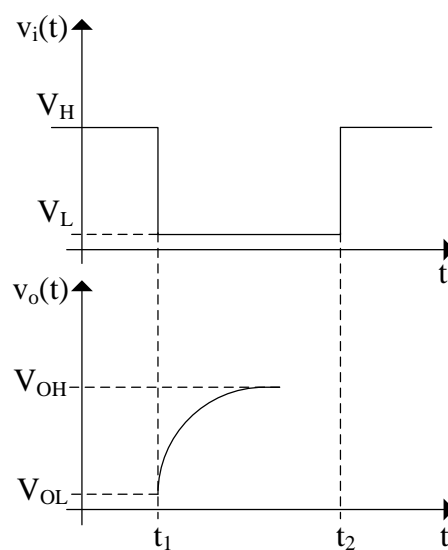
$$v_o(\infty) = V_{CC} - v_R(\infty) = V_{CC} - 0 = V_{CC}$$

Zamenom u gotov izraz dobijamo

$$v_o(t) = V_{CC} + (V_{OL} - V_{CC})e^{-\frac{t-t_1}{\tau}} \quad t \geq t_1$$

I isto tako možemo na osnovu rezultata iz elemenata analize reći da je $t_{pHL} = 0.69\tau$, trajanje silazne ivice izlaznog signala $t_f = 2.2\tau$ a da smemo smatrati da je prelazni proces završen posle 5τ .

Znači napon V_L samo mora da bude iz opsega V_{OL} do V_{IL} da bi se tranzistor sigurno zakočio.



Kako je $t_{pLH} = 0.69\tau = 0.69R_C C_0$ vidimo da će kašnjenje biti manje ako je i otpornik R_C manji. Smanjenje otpornika R_C smo u statičkim karakteristikama „radili“ da bi povećali strujni

kapacitet logičke jedinice. I možemo da izvedemo generalan zaključak da će povećanje strujnih kapaciteta logičkog kola uticati na smanjenje kašnjenja signala prouzrokovanim parazitnim kapacitivnostima na izlazu.

Da vidimo šta se dešava od trenutka t_2 .

GRESKE KOJE ČESTO PRAVITE

U trenutku t_2 na ulaz kola dolazi visok napon pa će tranzistor u trenutku t_2 ući u zasićenje. GRESKA.

U trenutku t_2 napona na kondenzatoru C_0 je V_{OH} i ne može trenutno da se promeni. Tranzistor nema beskonačan strujni kapacitet. Znači neposredno posle trenutka t_2 napon na kondenzatoru je i dalje V_{OH} , što je istovremeno i izlazni napon, što je istovremeno i napon između kolektora i emitera tranzistora T_1 . Prema tome neposredno posle trenutka t_2 $V_{CE1}=V_{OH}>V_{CES}$ pa tranzistor T_1 radi u aktivnom režimu. Ne zaboravite da bi radio u zasićenju uslov je $V_{CE1}=V_{CES}$. I radiće u aktivnom režimu za vreme procesa pražnjenja kondenzatora dok god izlazni napon ne padne do $v_0=V_{CE1}=V_{OL}=V_{CES}$. U tom trenutku tranzistor ulazi u zasićenje i prestaje proces pražnjenja kondenzatora.

Važi takođe

$$v_o(t) = v_o(\infty) + (v_o(t_2^+) - v_o(\infty))e^{-\frac{t-t_2}{\tau}} \quad \text{za } t \geq t_2$$

1. τ

$$\tau = C_0 R_C$$

Kondenzator vidi samo otpornost R_C , pošto je izlaz tranzistora modelovan zavisnim strujnim generatorom koji izbacujemo iz kola. GRESKA. Ne izbacujemo zavisne generatore.

2. $v_o(t_2^+)$

Kako je izlazni napon istovremeno i napon na kondenzatoru, koji ne može trenutno da se promeni, i za koji znamo da je bio V_{OH}

$$v(t_2^+) = V_{OH}$$

3. $v_o(\infty)$

Završetak prelaznih procesa dešava se kada tranzistor izađe iz aktivnog režima i uđe u zasićenje. Tada je njegov izlaz modelovan idealnim naponskim izvorom V_{CES} i on drži konstantan napon na kondenzatoru C_0 i obezbeđuje da struja kroz njega bude jednaka nuli.

Znači

$$v_o(\infty) = V_{CES} = V_{OL}$$

pa je

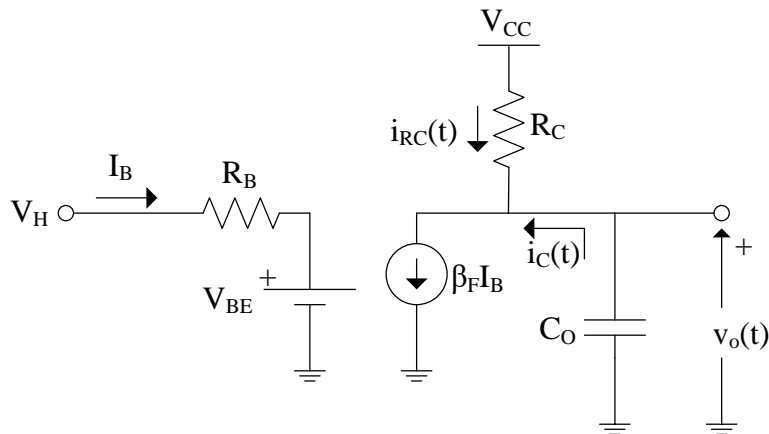
$$v_o(t) = V_{OL} + (V_{OH} - V_{OL})e^{-\frac{t-t_2}{\tau}} \quad t \geq t_2$$

i

$t_{pHL}=0.69\tau$, trajanje silazne ivice izlaznog signala $t_f=2.2\tau$ a da smemo smatrati da je prelazni proces završen posle 5τ . PUNO GREŠAKA, koje su nastale kao posledica toga što nismo pravilno sagledali model pražnjenja kondenzatora.

U prethodnim razmišljanima ima i delom tačnih stvari koje ćemo ponoviti u narednom delu.

U trenutku neposredno pre trenutka t_2 napona na kondenzatoru C_0 je V_{OH} i ne može trenutno da se promeni. Tranzistor nema beskonačan strujni kapacitet. Znači neposredno posle trenutka t_2 napon na kondenzatoru je i dalje V_{OH} , što je istovremeno i izlazni napon, što je istovremeno i napon između kolektora i emitera tranzistora T_1 . Prema tome neposredno posle trenutka t_2 $V_{CE1}=V_{OH}>V_{CES}$ pa tranzistor T_1 radi u aktivnom režimu. Ne zaboravite da bi radio u zasićenju uslov je $V_{CE1}=V_{CES}$. I radiće u aktivnom režimu za vreme procesa pražnjenja kondenzatora dok god izlazni napon ne padne do $v_o(t)=V_{CE1}=V_{OL}=V_{CES}$. U tom trenutku tranzistor ulazi u zasićenje i prestaje proces pražnjenja kondenzatora. Znači model pražnjenja kondenzatora je



Kolo je i dalje kauzalno i LTI sa jednim akumulativnim elementom i važiće

$$v_o(t) = v_o(\infty) + (v_o(t_2^+) - v_o(\infty))e^{-\frac{t-t_2}{\tau}} \quad \text{za } t_3 \geq t \geq t_2$$

ali samo do trenutka t_3 kada tranzistor ulazi u zasićenje i više neće važiti predstavljeni model.

1. τ

$$\tau = C_0 R_C$$

Kondenzator vidi samo otpornost R_C . Idealne naponske generatore kratko spajamo, znači ulazni generator V_H i V_{CC} i V_{BE} na masu. Zbog toga je $I_B=0$, pa je i $\beta_F I_B=0$ pa onda taj zavisni strujni izvor možemo da smatramo otvorenom vezom.

2. $v_0(t_2^+)$

Kako je izlazni napon istovremeno i napon na kondenzatoru, koji ne može trenutno da se promeni, i za koji znamo da je bio V_{OH}

$$v(t_2^+) = V_{OH}$$

3. $v_0(\infty)$

Završetak prelaznih procesa u modelu koji smo postavili dešava se kao i uvek. Kada struja kroz kondenzator $i_C(t)$ postane jednaka nuli. Tada sva struja zavisnog strujnog izvora prolazi kroz otpornik R_C .

Znači

$$v_0(t) = V_{CC} - R_C i_{RC}(t) = V_{CC} - R_C(\beta_F I_B - i_C(t))$$

$$i_C(\infty) = 0$$

$$v_0(\infty) = V_{CC} - R_C i_{RC}(t) = V_{CC} - R_C \beta_F I_B$$

$$v_0(\infty) = V_{CC} - R_C i_{RC}(t) = V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE})$$

i po našim analizama statičkih karakteristika

$$\frac{R_C \beta_F}{R_B} \gg 1$$

pa je

$$\frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \gg V_{CC}$$

odnosno

$$v_0(\infty) \ll 0$$

Znači

$$v_0(t) = V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) + \left(V_{OH} - \left(V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \right) \right) e^{-\frac{t-t_2}{\tau}} \quad t_3 \geq t \geq t_2$$

$$V_{OH} = V_{CC}$$

$$v_o(t) = V_{CC} + \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \left(e^{-\frac{t-t_2}{\tau}} - 1 \right) \quad \text{za } t_3 \geq t \geq t_2$$

Trenutak t_3 možemo da nađemo iz prethodne jednačine pošto tada tranzistor ulazi u zasićenje, odnosno izlazni napon postaje jednak V_{CES}

$$v_o(t_3) = V_{CES} = V_{CC} + \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \left(e^{-\frac{t_3-t_2}{\tau}} - 1 \right)$$

DIGRESIJA

Malo će biti teško manipulirati sa ovakvim izrazima.

Vratimo se na opšti oblik rešenja

$$p(t) = p(\infty) + (p(t_0^+) - p(\infty)) e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

i ako nas interesuje trenutak t_1 znajući vrednost parametra $p(t)$ u tom trenutku $p(t_1)$ onda je

$$p(t_1) = p(\infty) + (p(t_0^+) - p(\infty)) e^{-\frac{t_1-t_0}{\tau}} \quad \text{za } t \geq t_0$$

odnosno

$$t_1 = t_0 + \tau \ln \left(\frac{p(t_0^+) - p(\infty)}{p(t_1) - p(\infty)} \right)$$

pa je ponekad lakše krenuti od te formule.

Isto tako ako znamo $p(t_1)$ i $p(t_2)$ a interesuje na t_2-t_1

$$t_2 - t_1 = \tau \ln \left(\frac{p(t_1) - p(\infty)}{p(t_2) - p(\infty)} \right)$$

odnosno

$$t_3 = t_2 + \tau \ln \left(\frac{v_o(t_2^+) - v_o(\infty)}{v_o(t_3) - v_o(\infty)} \right)$$

$$t_3 = t_2 + \tau \ln \left(\frac{V_{OH} - \left(V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \right)}{V_{OL} - \left(V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \right)} \right)$$

Vidimo da će trenutak t_3 biti dosta blizak trenutku t_2 odnosno da će proces pražnjenja kondenzatora biti mnogo brži od procesa punjenja kondenzatora. To je zahvaljujući činjenici da je strujni kapacitet logičke nule, zbog tranzistora koji je obezbeđuje, znatno veći od

strujnog kapaciteta logičke jedinice. Odmah je i vidljivo da nikako ne smemo da kažemo da je $t_{pHL}=0.69\tau$. Moramo da ga izračunamo.

Znači interesuje nas trenutak u kojem napon na izlazu dostiže

$$v_o(t_2 + t_{pHL}) = V_{OH} - 50\%(V_{OH} - V_{OL}) = V_{OH} - \frac{V_{OH} - V_{OL}}{2} = \frac{V_{OH} + V_{OL}}{2}$$

pa je

$$t_{pHL} = \tau \ln \left(\frac{V_{OH} - (V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}))}{\frac{V_{OH} + V_{OL}}{2} - (V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}))} \right)$$

I vreme pada silazne ivice nije 2.2τ . I to moramo da izračunamo

$$t_f = \tau \ln \left(\frac{(0.9V_{OH} + 0.1V_{OL}) - (V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}))}{(0.1V_{OH} + 0.9V_{OL}) - (V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}))} \right)$$

DIGRESIJA

Tačka 10% promene

$$V_{OL} + 10\%(V_{OH} - V_{OL}) = 0.1V_{OH} + 0.9V_{OL}$$

Tačka 50% promene

$$V_{OL} + 50\%(V_{OH} - V_{OL}) = 0.5V_{OH} + 0.5V_{OL} = \frac{V_{OH} + V_{OL}}{2}$$

Tačka 90% promene

$$V_{OL} + 90\%(V_{OH} - V_{OL}) = 0.9V_{OH} + 0.1V_{OL}$$

Ostaje pitanje vrednosti V_H . Očigledno je da taj napon mora biti iz opsega V_{IH} do V_{OH} , a na osnovu prethodnih diskusija kod strujnih kapaciteta izabraćemo najgori slučaj iz tog opsega, što pokazuju svi izvedeni izrazi, odnosno $V_H = V_{OHmin}$ pa je

$$t_{pHL} = \tau \ln \left(\frac{V_{OH} - (V_{CC} - \frac{R_C \beta_F}{R_B} (V_{OHmin} - V_{BE}))}{\frac{V_{OH} + V_{OL}}{2} - (V_{CC} - \frac{R_C \beta_F}{R_B} (V_{OHmin} - V_{BE}))} \right)$$

$$t_f = \tau \ln \left(\frac{(0.9V_{OH} + 0.1V_{OL}) - (V_{CC} - \frac{R_C \beta_F}{R_B} (V_{OHmin} - V_{BE}))}{(0.1V_{OH} + 0.9V_{OL}) - (V_{CC} - \frac{R_C \beta_F}{R_B} (V_{OHmin} - V_{BE}))} \right)$$

Zanimljivo je pitanje da smo kao V_H izabrali tačku V_{IH}

$$V_{I1} = V_{IH} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE}$$

(V_{I1} a ne V_{I2} , videli smo da su obe tačne, ali ćemo sa V_{I1} lakše uočiti šta se dešava)

$$t_{pHL} = \tau \ln \left(\frac{V_{OH} - (V_{CC} - \frac{R_C \beta_F}{R_B} (\frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE} - V_{BE}))}{\frac{V_{OH} + V_{OL}}{2} - (V_{CC} - \frac{R_C \beta_F}{R_B} (\frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE} - V_{BE}))} \right)$$

$$t_{pHL} = \tau \ln \left(\frac{V_{OH} - V_{CES}}{\frac{V_{OH} + V_{OL}}{2} - V_{CES}} \right) = \tau \ln \left(\frac{V_{OH} - V_{OL}}{\frac{V_{OH} + V_{OL}}{2} - V_{OL}} \right) = \tau \ln 2 = 0.69\tau$$

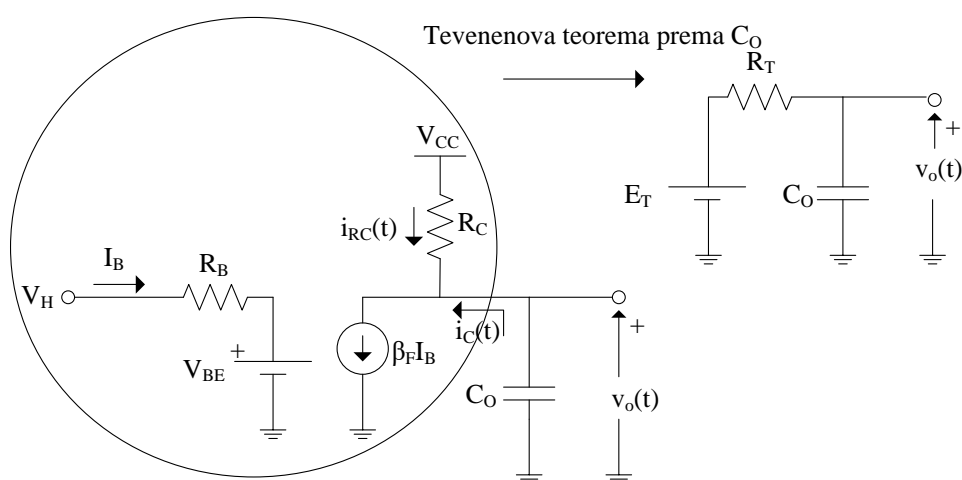
i isto tako

$$t_f = \tau \ln \left(\frac{(0.9V_{OH} + 0.1V_{OL}) - (V_{CC} - \frac{R_C \beta_F}{R_B} (\frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE} - V_{BE}))}{(0.1V_{OH} + 0.9V_{OL}) - (V_{CC} - \frac{R_C \beta_F}{R_B} (\frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE} - V_{BE}))} \right)$$

$$t_f = \tau \ln \left(\frac{(0.9V_{OH} + 0.1V_{OL}) - V_{CES}}{(0.1V_{OH} + 0.9V_{OL}) - V_{CES}} \right) = \tau \ln \left(\frac{(0.9V_{OH} + 0.1V_{OL}) - V_{OL}}{(0.1V_{OH} + 0.9V_{OL}) - V_{OL}} \right)$$

$$t_f = \tau \ln \left(\frac{0.9V_{OH} - 0.9V_{OL}}{0.1V_{OH} - 0.1V_{OL}} \right) = \tau \ln 9 = 2.2\tau$$

Nadam se da niko nije iznenađen ovim rezultatima. U prethodnim diskusijama smo videli da za ulazni napon V_{IH} strujni kapacitet logičke nule na izlazu je praktično jednak nuli. Odnosno izjednačene su struje kroz otpornik R_C i tranzistor T_1 . Ajde malo da preuredimo model (mogli smo i ranije ali nije bilo potrebe)



Pri čemu je

$$R_T = R_C$$

$$E_T = V_{CC} - R_C \beta_F I_B = V_{CC} - R_C \beta_F \frac{V_H - V_{BE}}{R_B}$$

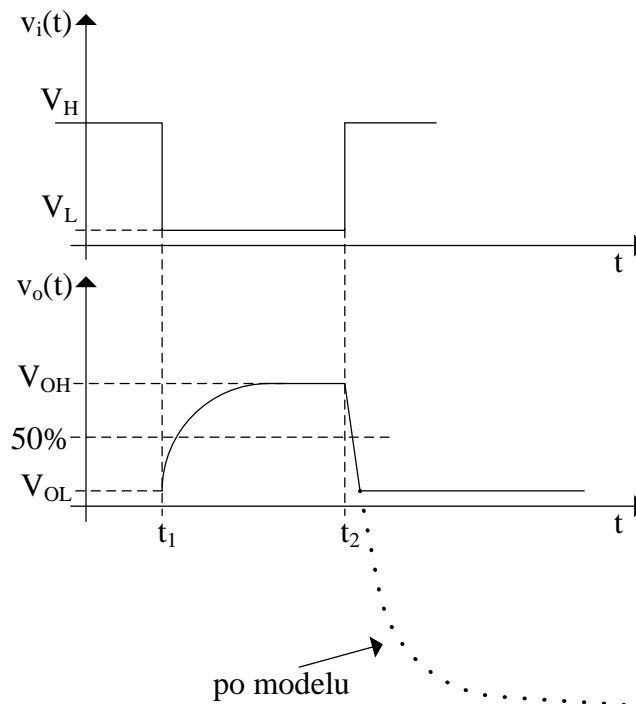
i u slučaju

$$V_H = V_{IH} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE}$$

$$E_T = V_{CC} - R_C \beta_F I_B = V_{CC} - R_C \beta_F \frac{\frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE} - V_{BE}}{R_B} = V_{CES} = V_{OL}$$

Pa bi mogli odmah da pišemo pošto je to i napon u beskonačnosti $t_{pHL} = 0.69\tau$ i $t_f = 2.2\tau$.

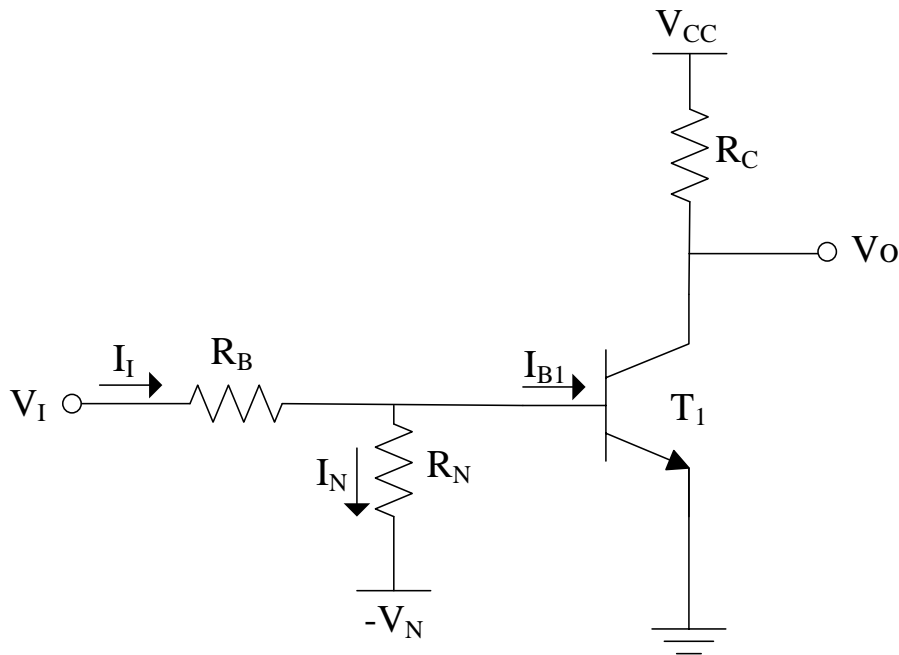
Izlazni napon predstavljen na grafiku je



I sa grafika i iz jednačina vidljivo je da će doći do skraćanja trajanja signala na izlazu pošto je $t_{pLH} > t_{pHL}$, što je posledica nejednakosti strujnih kapaciteta logičke nule logičke jedinice na izlazu kola. Znači treba da budu što veći i jednaki.

Diskretno i integrisano RTL logičko kolo

Osnovni problem koji smo uočili je mala margina šuma logičke jedinice. Zbog toga se u praksi koristila drugačija konfiguracija RTL kola



sa dodatkom negativnog napajanja V_N i otpornika R_N . Cilj je da negativno napajanje pomeri karakteristiku prenosa u desnu stranu, a samim tim i poveća margine šuma logičke nule. Normalno samnjiće se margina šuma logičke jedinice. Dobit jeste u izjednačavanju margina šuma, ali je za kolo potrebno dva napjanja. Analiza koju smo sprovedi ostaje u važnosti pošto kolo u bazi uvek možemo zameniti Tevenenom toremom i svesti na kolo koje smo analizirali.

$$R_{Bnovo} = R_T = R_B \parallel R_N$$

$$V_{Inovo} = E_T = V_I \frac{R_N}{R_B + R_N} - V_N \frac{R_B}{R_B + R_N}$$

pa je na primer uz uslov za $V_{ILnovo} = V_{YT}$

$$V_{YT} = V_{IL} \frac{R_N}{R_B + R_N} - V_N \frac{R_B}{R_B + R_N}$$

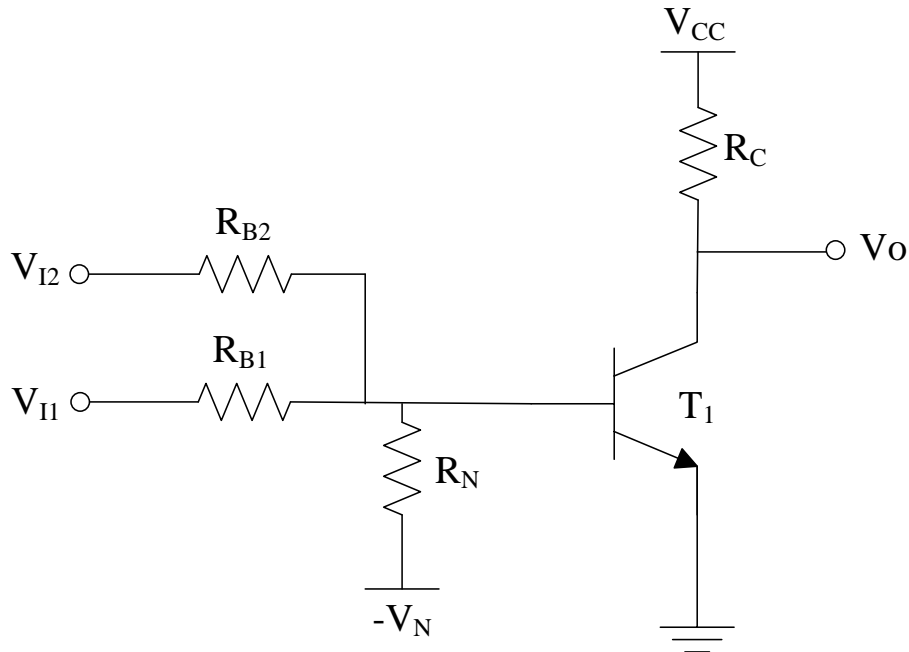
odnosno

$$V_{IL} = \frac{R_B + R_N}{R_N} \left(V_{YT} + V_N \frac{R_B}{R_B + R_N} \right) = \left(1 + \frac{R_B}{R_N} \right) V_{YT} + \frac{R_B}{R_N} V_N$$

Izborom otpornika i napajanja možemo da kontrolišemo prelomne tačke u karakteristici prenosa. Svi ostali zaključci ostaju u važnosti. Itd...

Višeulazna RTL logička kol

U elementima analize logičkih kola smo rekli da ćemo sve analize raditi na invertorkom predstavniku familije a onda pokazati da se na lak način mogu dobiti i druga logička kola. Jedan od načina da se kod RTL kola od invertora dobije višeulazno kolo je



Slično kao što smo uradili u slučaju dodavanja negativnog napona i ovde možemo ulazni deo zameniti Tevenenovim generatorom.

$$R_{B_{novo}} = R_T = R_{B1} \parallel R_{B2} \text{ i uz uslov } R_{B1} = R_{B2} \quad R_{B_{novo}} = \frac{R_{B1}}{2}$$

$$V_{Inovo} = E_T = V_{I1} \frac{R_{B2}}{R_{B1} + R_{B2}} + V_{I2} \frac{R_{B1}}{R_{B1} + R_{B2}} = \frac{V_{I1} + V_{I2}}{2}$$

Jedini problem eventualno može predstavljati četiri mogućnosti za ulazne napone (V_L, V_L), (V_L, V_H), (V_H, V_L) i (V_H, V_H).

Situacija na ulazu (V_H, V_H). Tranzistor će sigurno biti u zasićenju, postoji uslov polarizacije bazno emitorskog spoja i postoji bazna struja. Znači na izlazu je V_{OL} .

Situacija na ulazu (V_L, V_L). Tranzistor će sigurno biti zakočen, ne postoji uslov polarizacije bazno emitorskog spoja i ne postoji bazna struja. Znači na izlazu je V_{OH} .

Situacija na ulazu (V_L, V_H) ili (V_H, V_L). Svejedno je; kolo je simetrično. Standardno za RTL kolo je da se u ovoj situaciji pretpostavi da će tranzistor takođe biti u zasićenju i da će na izlazu biti V_{OL} .

Na bilo kojem ulazu logička jedinica na izlazu logička nula. Samo kada su na oba ulaza logičke nule na izlazu će biti logička jedinica. Znači dvoulazno NILI (NOR) logičko kolo.

Što se tiče upoređenja sa invertorskom karakteristikom (radi jednostavnosti, tj principa, zanemarimo da postoji negativno napajanje V_N i otpornik R_N) ranije smo našli da je

$$V_{IL} = V_{YT}$$

Sada je taj uslov

$$V_{ILnovo} = \frac{V_{I1} + V_{I2}}{2} = V_{YT}$$

Koji je najgori slučaj

1. Jedan ulaz na nivou logičke nule $V_{I1}=0$ a drugi V_{I2} se menja

$$\frac{V_{OL} + V_{IL2}}{2} = V_{YT}$$

$$V_{IL2} = 2V_{YT} - V_{OL}$$

2. Oba ulaza su kratko spojena i menjaju se

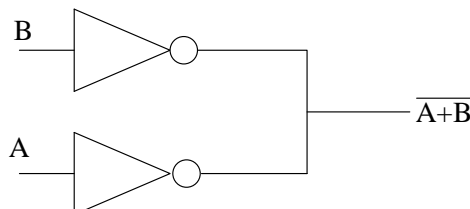
$$\frac{V_{IL1} + V_{IL2}}{2} = V_{YT}$$

$$V_{IL1} = V_{IL2} = V_{YT}$$

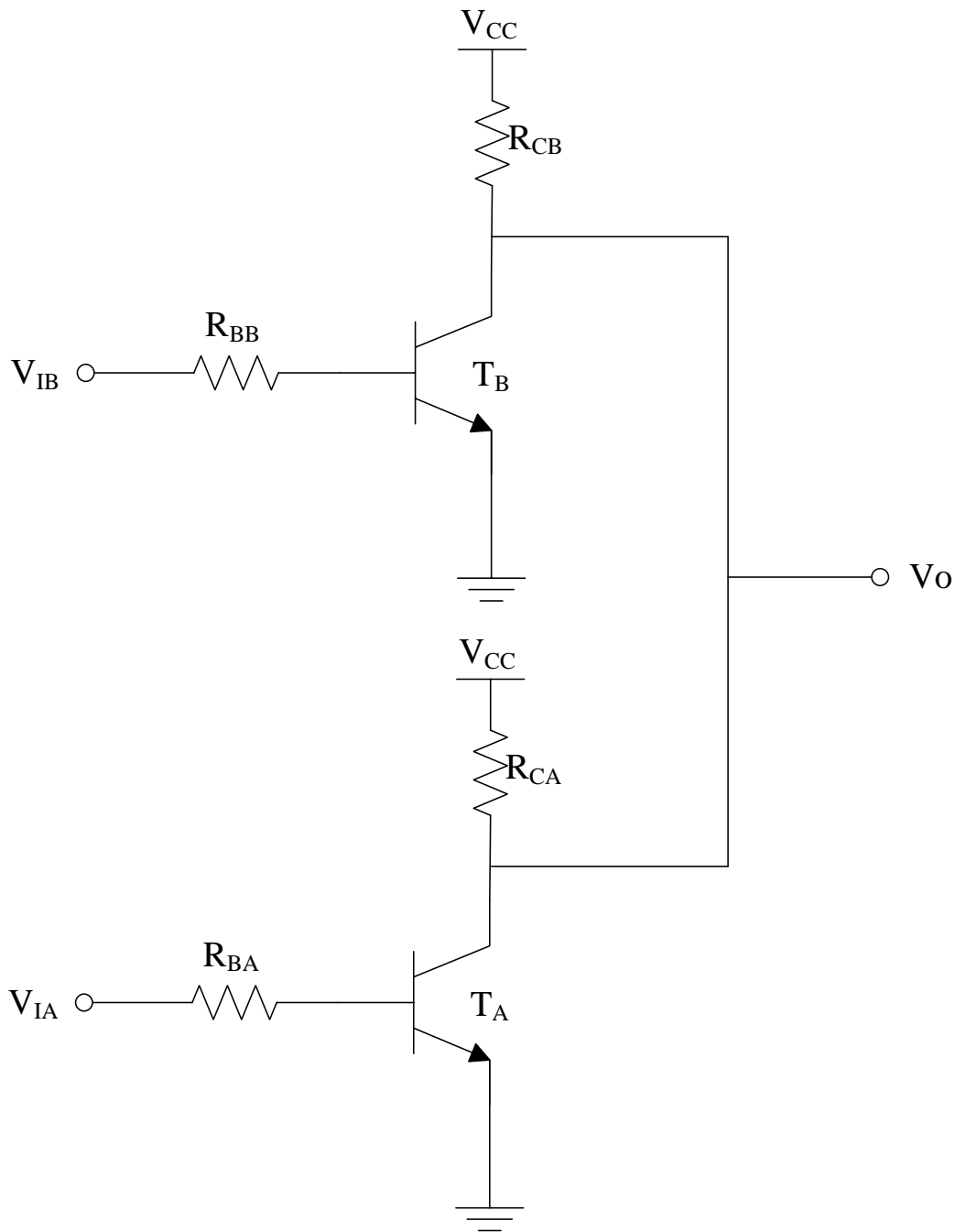
Očigledno je slučaj dva kritičniji, i u toj situaciji dobijamo identičan izraz za V_{IL} kao i ranije. Sličnu analizu možemo da sprovedmo i za ostale parametre koje smo našli i dobićemo identične rezultate kao i ranije.

Kao što se vidi analiza je u ovom slučaju komplikovanija, potrebno je izabrati pogodne vrednosti otpornika R_{B1} i R_{B2} i pošto ne mogu biti identični neće nam i problem analize, a šta ako nisu jednaki.

Zbog toga se višulazna RTL logička kola mnogo češće prave paralelovanjem invertora



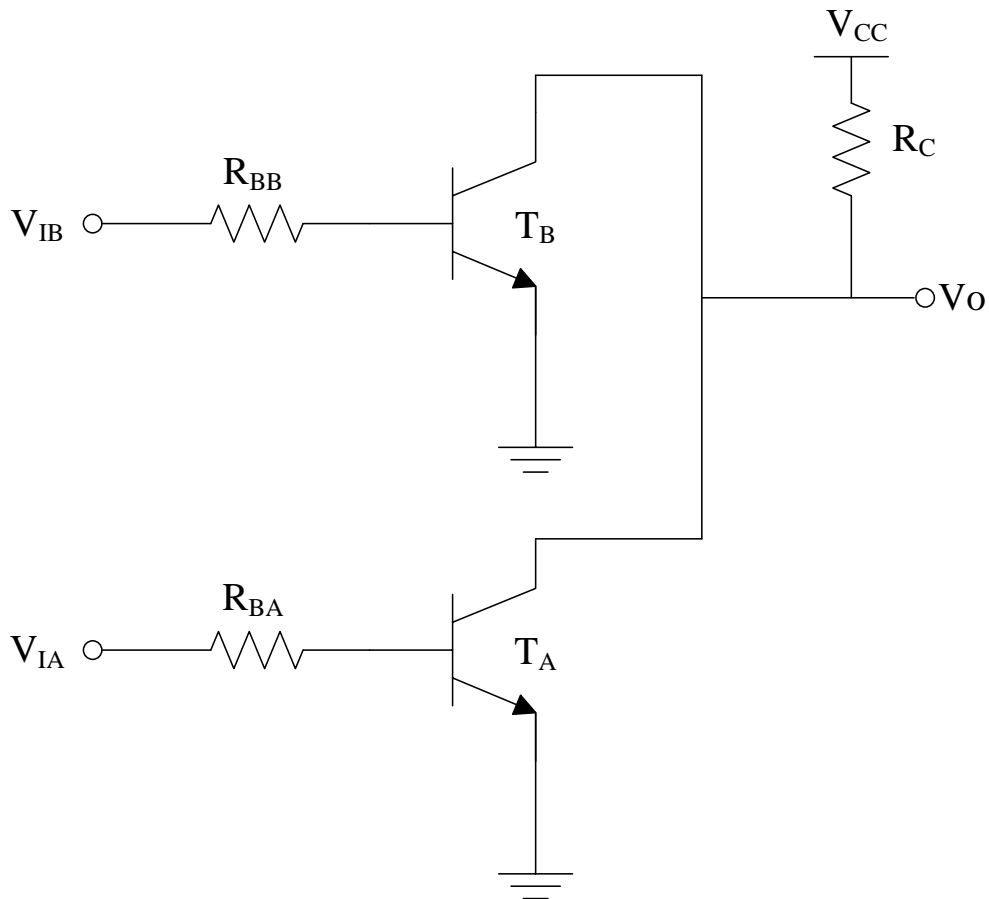
Kasnije ćemo videti da je kod savremenih logičkih kola SPAJANJE IZLAZA LOGIČKIH KOLA ZABRANJENO. Odnosno da se ovo spajanje može izvršiti samo ako su u pitanju logička kola sa specifičnim izlazima. Kako je RTL kolo predstavnik takvih specifičnih logičkih kola kod njih je ovo dozvoljeno. Da nacrtamo kompletnu šemu (opet radi jednostavnosti nema negativnog napajanja, ono ne utiče na našu dalju analizu)



Pretpostavka je da su elementi u kolima identični $R_{BA}=R_{BB}$ itd... Isto kao i ranije moguće vrednosti na ulazima su (V_L, V_L) , (V_L, V_H) , (V_H, V_L) i (V_H, V_H) . Uočimo da ako je na bilo kojem ulazu A ili B visok napon V_H odgovarajući tranzistor T_A ili T_B će biti u zasićenju i na izlazu će biti napon V_{OL} . Samo kada su i na ulazu A i na ulazu B niski naponi V_L oba tranzistora će biti zakočena i na izlazu će biti logička jedinica V_{OH} . Na osnovu ove analize jasno je da se radi o dvoulaznom logičkom NILI (NOR) kolu.

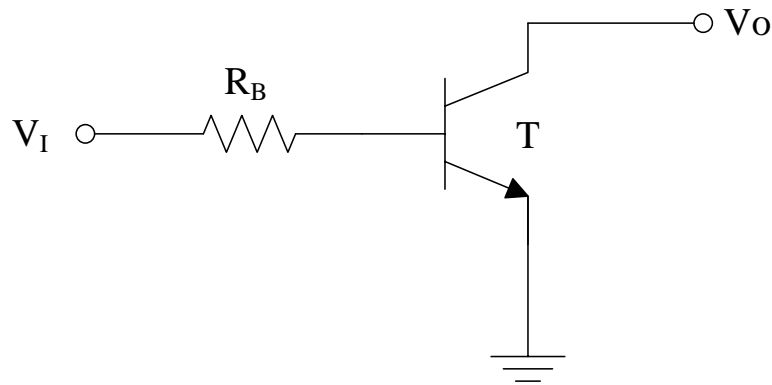
Sa stanovišta identičnosti karakteristika sa osnovnim invertorskim kolom, treba uočiti da je najgora situacija za ovo kolo sa stanovitima strujnih kapaciteta, dinamičkog rada kola itd... onda kada radi samo jedna tranzistor. A tada su u važnosti svi izvedeni parametri koje smo izveli i za inverter.

Prethodnu sliku smo nacrtali direktnim paralelovanjem dva invertora, međutim u realnosti ne trebaju nam dva otpornika R_C . Vidimo da su oni paralelno povezani i da mogu da se zamene jednim otpornikom, pri čemu i dalje ostaju u važnosti svi parametri koje smo ranije našli. U tom slučaju dvoulazno NILI RTL kolo je

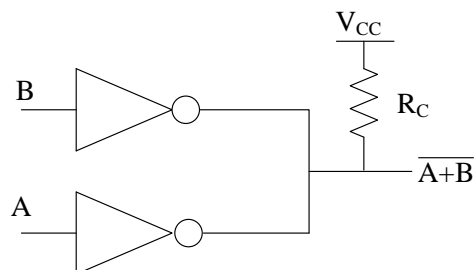


Logička kola sa otvorenim kolektorom

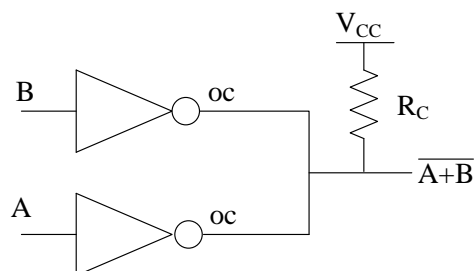
U prethodnoj analizi višeulaznih RTL logičkih kola, da bi dobili višeulaznu logičku funkciju izvršili smo paralelovanje dva invertora. Videli smo da na taj način možemo bez, uticaja na parametre kola, dobiti višulazno logičko kolo. Zamislimo situaciju da nam je proizvođač ponudio logičko kolo koje je



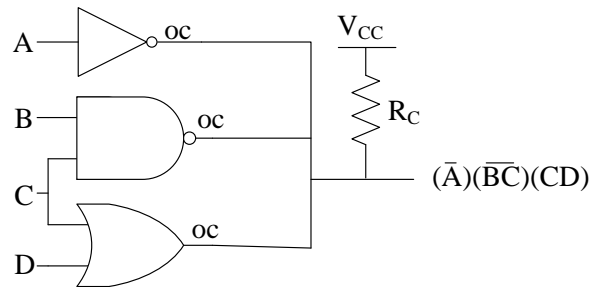
Nema otpornika R_C odnosno unutar kola, kolektor tranzistora nije nigde priključen. Ovakva kola nazivaju se logičkim kolima sa otvorenim kolektorom. Znajući da posedujemo kolo sa otvorenim kolektorom mi smemo da spajamo izlaze takvih kola da bi na izlazima dobili I funkciju. Nemojte da se zbunite. Izlazima. Znači ako je na bilo kojem izlazu logička nula, zajednički izlaz će biti logička nula. Ako dodamo zajednički otpornik R_C , onda kada su svi izlazni tranzistori zakočeni (treba da daju logičku jedinicu) na izlazu će biti logička jedinica. I funkcija. Zato se često za ovu zajedničku liniju kaže da je sa aktivnom logičkom nulom. Bilo koja logička nula na izlazima daje logičku nulu na zajedničkoj liniji.



Ne postoji poseban simbol za logička kola sa otvorenim kolektorom. Često se u šemi samo oznakom OC naglasi da je izlaz sa otvorenim kolektorom,

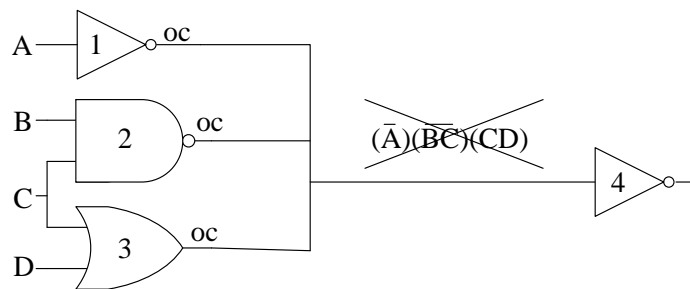


I višezlazna kola mogu biti sa otvorenim kolektorom pa nam to daje mogućnost za jednostavnu realizaciju složenih logičkih funkcija. Na primer

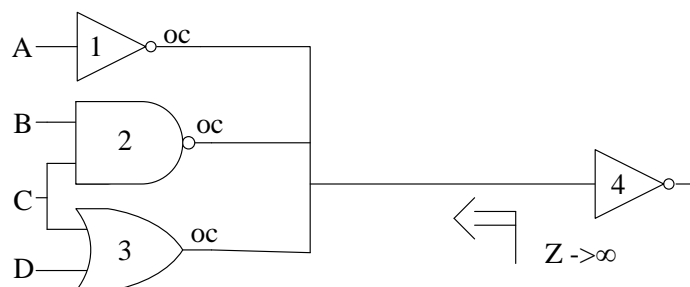


Lako je videti, i napisati izlaznu funkciju, pošto kao što rekosmo izlazi su povezani I logičkom funkcijom.

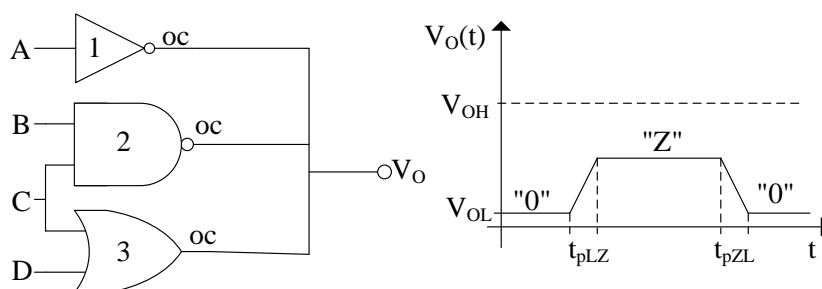
Postavlja se pitanje šta bi na primer bilo da u prethodnoj šemi nismo stavili otpornik R_C i liniju izlaza vodili ka narednom delu digitalnog sistema, odnosno ulazu u naredna logička kola.



Problem koji se pojavljuje jeste pitanje: Šta se nalazi na liniji kada su svi izlazni tranzistori logičkih kola 1, 2 i 3 zakočeni. Odgovor ništa ne postoji u elektronici. Kako to shvata naredno logičko kolo 4. Kao prvo, jednačina Bulove algebre više ne važi pošto ne postoji stanje logičke jedinice na liniji. U digitalnoj elektronici to stanje se naziva stanjem visoke impedanse.



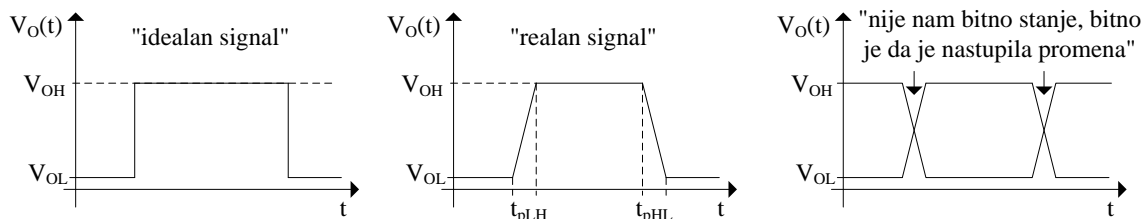
Impedansa koju vidi ulaz u logičko kolo 4 prema liniji spajanja, odnosno prema izlazima logičkih kola 1, 2 i 3 kada su svi izlazni tranzistori u njima zakočeni je beskonačna. Nema putanje prema napajanju ili masi.



U vremenskim dijagramima to stanje se označava srednjim naponskim nivoom između napona logičke nule i jedinice. Isto tako sa stanovišta kašnjenja kroz logička kola pojavljuju se još dva tipična kašnjenja za ovakva kola

1. t_{pLZ} – kašnjenje prelaska izlaza iz stanja logičke nule u stanje visoke impedanse
2. t_{pZL} – kašnjenje prelaska izlaza iz stanja visoke impedanse u stanje logičke nule

Da se podsetimo crtanja



Stanje visoke impedanse Z je „treće“ logičko stanje i ne može biti obuhvaćeno Bulovom algebrom. Jednačine Bulove algebra više ne važe. Opisi rada kola se po pravilu onda daju funkcionalnim tabelama.

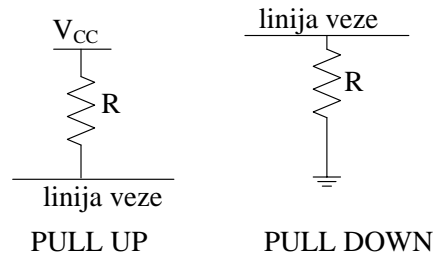
Ostaje pitanje kako će stanje visoke impedanse na liniji shvatiti logičko kolo 4. Odgovor nije jednoznačan pošto zavisi od tipa kola. Na primer kod RTL kola to znači da je ulaz „ostavljen da visi“. Na ulazu nema napona. U tom slučaju ne postoje uslovi da provodi tranzistor i na izlazu će biti logička jedinica, kao da je na ulazu logička nula. Ali ne treba zaboraviti da je ova linija „koja visi“ metalni vod koj može predstavljati dobru antenu za smetnje iz okoline. Kako je i ulazna impedansa u RTL logičko kolo visoka, smetnja može izazvati da tranzistor počne da vodi, odnosno da logičko kolo shvati da je na ulazu logička jedinica. Ovakve situacije moraju da se u projektovanju digitalnih sistema spreče.

Slično je pitanje i kako radi na primer dvoulazno logičko NI kolo kada mu jedna ulaz nije



povezan sa ostatkom sistema.

I ponovo, šta će biti na izlazu kola u situaciji $A=1$, odgovor nije jednoznačan, zavisno je od tipa kola, smetnji u okolini itd... Opšte pravilo: Nekorišćeni ulazi u kolo moraju biti terminisani, odnosno dovedeni na neaktivne naponske nivoe. Na primer u ovom slučaju NI logičkog kola na nivo logičke jedinice. Termin terminacije koji je upotrebljen znači da impedansa linije prema napajanju ili masi bude konačna. Terminacija se najčešće izvodi pomoću otpornika



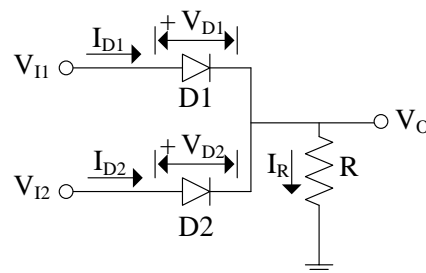
Ako se otpornikom obezbeđuje da impedansa prema napajanju bude konačna uobičajen naziv za taj otpornik jeste PULL UP (pulap) otpornik i on obezbeđuje da kada su logička kola „neaktivna“ na liniji, stanje linije bude logička jedinica.

Ako se otpornikom obezbeđuje da impedansa prema masi bude konačna uobičajen naziv za taj otpornik jeste PULL DOWN (puldaun) otpornik i on obezbeđuje da kada su logička kola „neaktivna“ na liniji, stanje linije bude logička nula.

Neke familije logičkih kola zahtevaju da se nekorišćeni ulazi preko pulap i puldaun otpornika povezuju na neaktivne nivoe, dok neke familije dozvoljavaju da se nekorišćeni ulazi direktno povezuju sa napajanjem ili masom u zavisnosti koji nivo je neaktivan. Ta informacija postoji u datasheet-u za logičko kolo.

Diodna logika

Diode su dobri elementi elektronike koji mogu na lak način da obezbede višulaznu logiku. Da vidimo ovo na primeru



Diode su katodama povezane u zajedničku tačku i preko puldaun otpornika povezane na masu. Posmatrajmo situaciju da su oba ulazna napona $V_{11}=V_{12}=0$. Ako bi pretpostavili da bilo koja od dioda vodi napon na njoj bi bio V_D i po konturi na primer diode D1 i otpornika R

$$V_{11} - V_{D1} - V_O = 0$$

Odnosno $0 - V_D - V_O = 0$. Kako je $V_O = RI_R$ onda je $I_R = -\frac{V_D}{R} = I_D$ pa bi struja kroz diodu bila negativna što je u suprotnosti sa početnom pretpostavkom da dioda vodi. Znači diode ne vode. Izlazni napon je $V_O=0$. Situacija se sigurno neće promeniti dok god su ulazni naponi manji od $V_{\gamma D}$.

Posmatrajmo situaciju kada je na primer $V_{I1} \gg V_{\gamma D}$ dok je V_{I2} i dalje manje od $V_{\gamma D}$. Ako bi sada i dalje pretpostavili da diode ne vode izlazni napon bi bio nula, što znači da je na katodi diode D1 napon jednak nuli. Na anodi diode D1 je ulazni napon pa bi napon na diodi bio $V_{D1}=V_{I1} \gg V_{\gamma D}$. Znači dioda za koju smo smatrali da ne vodi, da je zakočena ima sve uslove da provodi. Pogrešna polazna pretpostavka.

Smatrajmo sada da dioda D1 vodi. U tom slučaju po konturi diode D1 i otpornika R

$$V_{I1} - V_{D1} - V_O = 0$$

Kako smatramo da dioda vodi

$$V_{I1} - V_D = V_O$$

odnosno

$$I_R = \frac{V_{I1} - V_D}{R} = I_D > 0$$

pošto je pretpostavka $V_{I1} \gg V_{\gamma D}$.

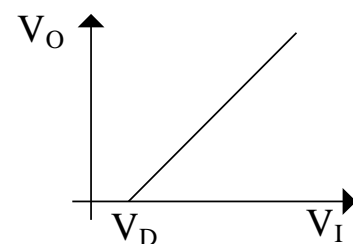
Struja kroz diodu je pozitivna, što se slaže sa našom polaznom pretpostavkom da dioda vodi. Napon na izlazu je $V_O = V_{I1} - V_D$. Dioda D2 ne vodi, inverzno je polarizovana pošto je $V_{D2} = V_{I2} - V_O = 0 - (V_{I1} - V_D) < 0$.

Zbog simetrije istu situaciju bi dobili i da je $V_{I2} \gg V_{\gamma D}$ dok je V_{I1} i dalje manje od $V_{\gamma D}$. Tada bi vodila dioda D2, dioda D1 bi bila zakočena, inverzno polarizovana, a izraz za izlazni napon bi bio $V_O = V_{I2} - V_D$.

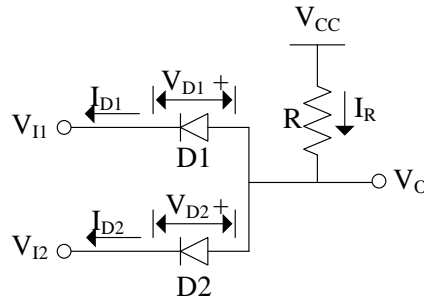
Na potpuno identičan način u slučaju $V_{I1}=V_{I2} \gg V_{\gamma D}$ se vidi da će obe diode i D1 i D2 voditi. Dele struju I_R .

Znači na ulazu (V_L, V_L) na izlazu V_L . Ako je na bilo kojem ulazu V_H biće visok napon i na izlazu. Logička funkcija je dvoulazna ILI funkcija. Uočiti da će se kolo isto ponašati i ako dodamo na isti način D3, D4, ..., odnosno da na lak način možemo povećati broj ulaza u kolo.

Ovo kolo ne može biti logičko kolo pošto mu karakteristika prenosa ne odgovara, ali obezbeđuje jednostavnu višelaznu logičku ILI funkciju.



Sledeći primer je da su diode anodama povezane u zajedničku tačku i preko pulup otpornika povezane na napajanje.



Posmatrajmo situaciju da su oba ulazna napona $V_{I1}=V_{I2}=V_{CC}$. Ako bi pretpostavili da bilo koja od dioda vodi napon na njoj bi bio V_D i po konturi na primer diode D1 i otpornika R

$$V_{I1} + V_{D1} - V_O = 0$$

Odnosno $V_{CC} - V_D - V_O = 0$. Kako je $V_O = V_{CC} - RI_R$ onda je $I_R = -\frac{V_D}{R} = I_D$ pa bi struja kroz diodu bila negativna što je u suprotnosti sa početnom pretpostavkom da dioda vodi. Znači diode ne vode. Izlazni napon je $V_O=V_{CC}$. Situacija se sigurno neće promeniti dok god su ulazni naponi veći od $V_{CC}-V_{\gamma D}$. Odnosno dok god ne postoje uslovi da neka dioda provede.

Posmatrajmo situaciju kada je na primer $V_{I1} \ll V_{CC}-V_{\gamma D}$ dok je V_{I2} i dalje veće od $V_{CC}-V_{\gamma D}$. Ako bi sada i dalje pretpostavili da diode ne vode izlazni napon bi bio V_{CC} , što znači da je na anodi diode D1 napon jednak V_{CC} . Na katodi diode D1 je ulazni napon pa bi napon na diodi bio $V_{D1}=V_{CC}-V_{I1} \gg V_{\gamma D}$. Znači dioda za koju smo smatrali da ne vodi, da je zakočena ima sve uslove da provodi. Pogrešna polazna pretpostavka.

Smatrajmo sada da dioda D1 vodi. U tom slučaju po konturi diode D1 i otpornika R

$$V_{I1} + V_{D1} - V_O = 0$$

Kako smatramo da dioda vodi

$$V_{I1} + V_D = V_O$$

odnosno

$$I_R = \frac{V_{CC} - (V_{I1} + V_D)}{R} = I_D > 0$$

pošto je pretpostavka $V_{I1} \ll V_{CC}-V_{\gamma D}$

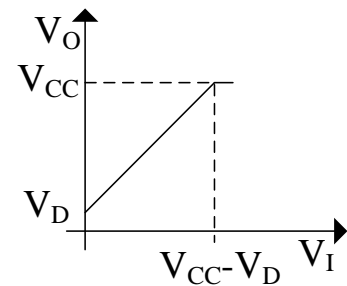
Struja kroz diodu je pozitivna, što se slaže sa našom polaznom pretpostavkom da dioda vodi. Napon na izlazu je $V_O = V_{I1} + V_D$. Dioda D2 ne vodi, inverzno je polarizovana pošto je $V_{D2} = V_O - V_{I2} = V_{I1} + V_D - V_{CC} < 0$.

Zbog simetrije istu situaciju bi dobili i da je $V_{I2} \ll V_{CC} - V_{\gamma D}$ dok je V_{I2} i dalje veći od $V_{CC} - V_{\gamma D}$. Tada bi vodila dioda D2, dioda D1 bi bila zakočena, inverzno polarizovana, a izraz za izlazni napon bi bio $V_O = V_{I2} + V_D$.

Na potpuno identičan način u slučaju $V_{I1} = V_{I2} \ll V_{CC} - V_{\gamma D}$ se vidi da će obe diode i D1 i D2 voditi. Dele struju I_R .

Znači na ulazu (V_H, V_H) na izlazu V_H . Ako je na bilo kojem ulazu V_L biće nizak napon i na izlazu. Logička funkcija je dvoulazna I funkcija. Uočiti da će se kolo isto ponašati i ako dodamo na isti način D3, D4, ..., odnosno da na lak način možemo povećati broj ulaza u kolo.

Ovo kolo ne može biti logičko kolo pošto mu karakteristika prenosa ne odgovara, ali obezbeđuje jednostavnu višeulaznu logičku I funkciju.



DTL logička kola

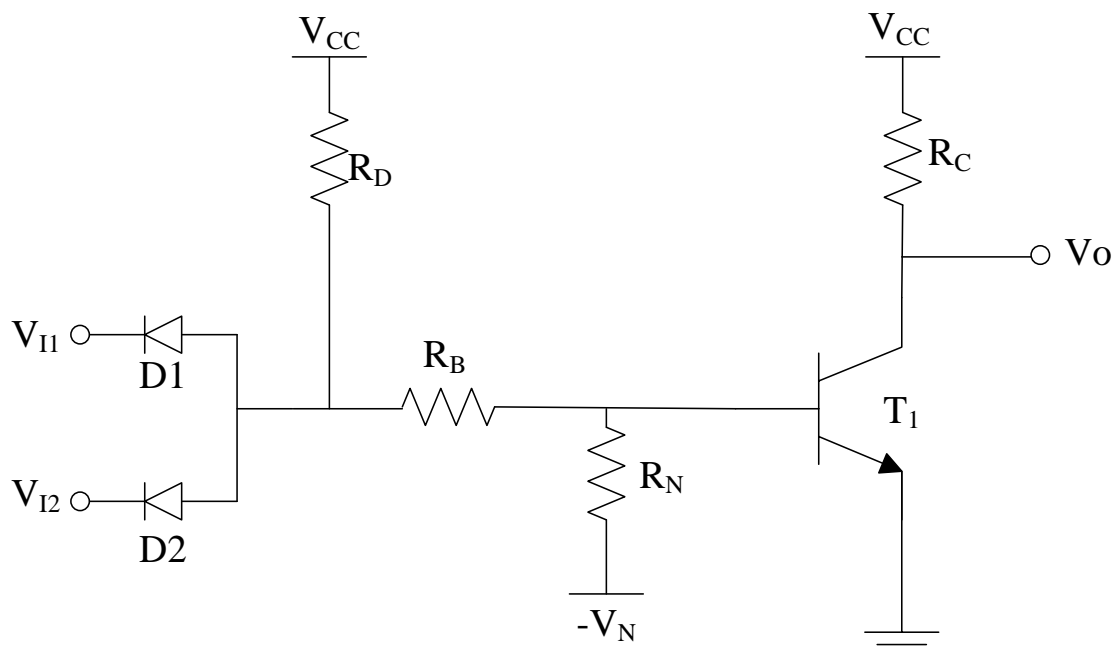
DTL – Diode Transistor Logic

Mali problem koji smo imali kod RTL logičkih kola je bio kako realizovati višeulazna logička kola. Sa druge strane videli smo da diodna logika na jednostavan način realizuje višeulaznu logiku. Logičan zaključak je da treba spojiti ova dva kola. I tako je i bilo istorijski. Ovo spajanje je rezultovalo u sledećoj familiji logičkih kola DTL.

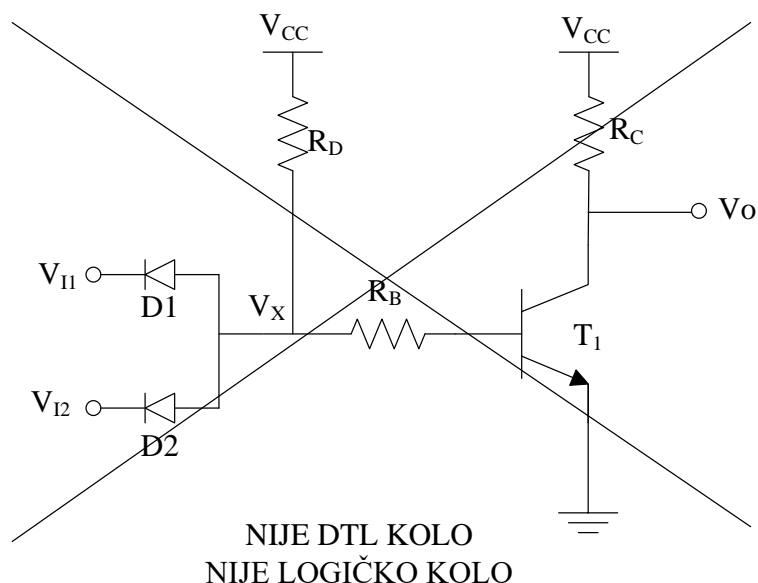
Kao logičan zaključak za DTL logička kola je da će ulazni deo biti realizovan kao diodna logika, dok će izlazni deo bio iz RTL logičkih kola, odnosno tranzistor u konfiguraciji pojačavača sa zajedničkim emitorom koji će uobličiti karakteristiku prenosa diodne logike.

Prilikom izbora diodne logike I ili ILI konfiguracija, treba uzeti u obzir da je strujni kapacitet izlaza mnogo veći za logičku nulu. Kod diodne logike za ILI konfiguraciju struja kroz ulaz postoji kada je na ulazu visok napon, To nam baš i ne odgovara. Kod diodne logike za I konfiguraciju struja kroz ulaz postoji kada je nizak napon na ulazu, a ne postoji kada je napon na ulazu visok. Ovo je idealno za nejednake strujne kapacitet logičke jedinice i nule na izlazu RTL kola, odnosno mnogo veći strujni kapacitet logičke nule.

Znači DTL kolo bi moglo da bude

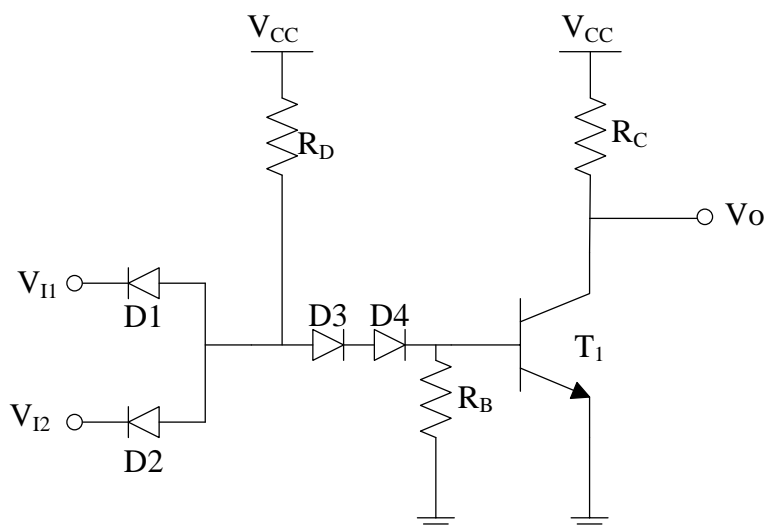


I ovakvo kolo istorijski jeste bilo korišćeno. Pogotovo u diskretnoj tehnici. U integrisanoj tehnici ostaje problem potrebe za negativnim napajanjem. Uočiti da ovaj put izbacivanjem negativnog napajanja nećemo dobiti logičko kolo. Na žalost ovakve konfiguracije se mogu sresti na Internetu i po knjigama kao DTL kolo.



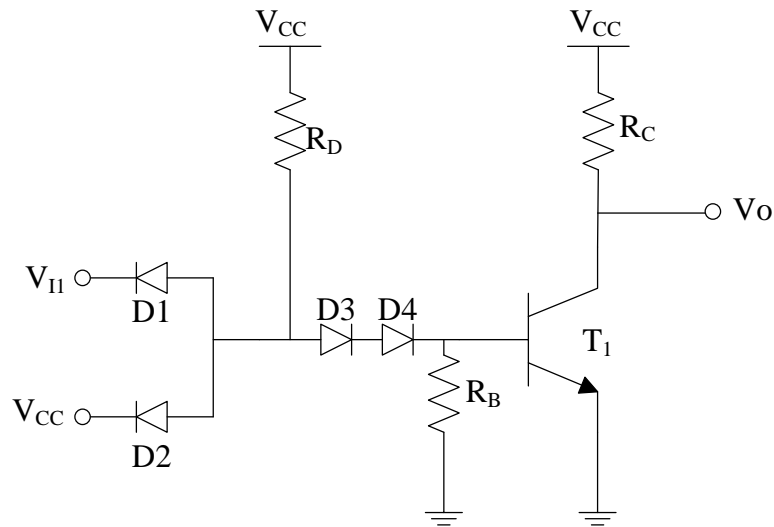
Da na primer proučimo samo V_{IL} . Kao i kod RTL kola da bi dobili oblasti malih pojačanja, tranzistor treba da radi u zakočenju odnosno u zasićenju. U ovom kolu kada je na ulazu nizak napon, na primer V_{I1} , pa čak i jednak 0, dioda D1 će voditi i napon tačke V_X će biti jednak V_D što je po konturi R_B i V_{BE1} dovoljno da tranzistor vodi. Znači u ovoj konfiguraciji za opsege napona 0 do V_{CC} tranzistor će uvek voditi!

Da bi se eliminisalo negativno napajanje (potrebno zbog povećanja V_{IL} kod RTL logičkih kola) i eliminisao uočeni problem trebalo bi prema bazi tranzistora T_1 dodati neki uslov provođenja. Odnosno povećati uslov za polarizaciju bazno emitorskog spoja. Dioda su idealne za to. Pa je konfiguracija dvoulaznog DTL kola

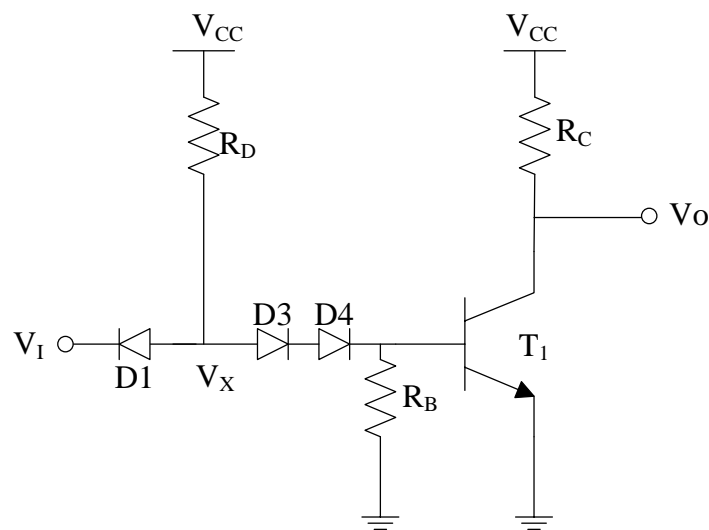


Kako diodna logika na ulazu obezbeđuje 1 logičku funkciju, a tranzistor T_1 u konfiguraciji pojačavača sa zajedničkim emitorom inverziju u pitanju je dvoulazno NI logičko kolo. Dodavanjem dioda na ulaz i povezivanjem na isti način kao što su D1 i D2 na lak način možemo povećati broj ulaza.

Radi dalje analize, znajući kako radi diodna logika na ulazu, možemo na primer ulaz V_{I2} povezati na V_{CC} („da ne smeta“) a menjati napon na ulazu V_{I1}



ili kao i ranije prvo analizirati invertor, izbacivanjem diode D2, pa videti da li se bilo ta menja kada realizujemo viševalazno kolo.

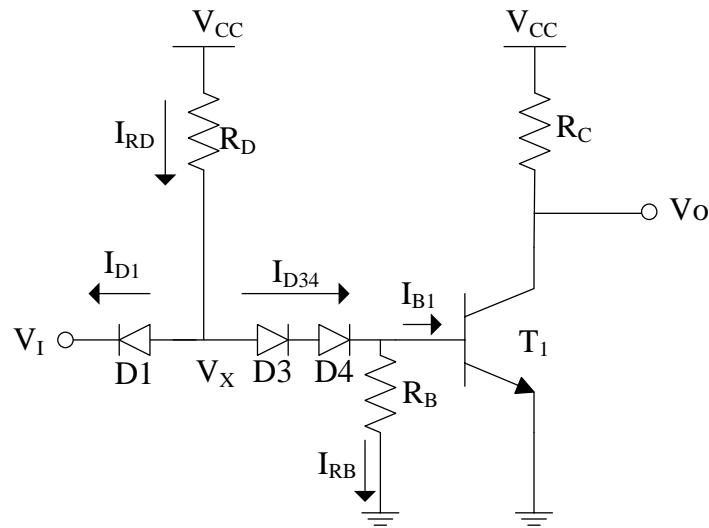


Karakteristika prenosa DTL logičkog kola

Kao i kod RTL kola crtanje karakteristike prenosa ćemo da krenemo počevši od napona $V_I=0$. Pod pretpostavkom da dioda D1 vodi napon tačke $V_X = V_I + V_{D1} = 0 + V_D = V_D$. Taj napon nije dovoljno visok da polazizuje diode D3, D4 i bazno emitterski spoj tranzistora T1. Da bi se ova tri pn spoja polarizovala potreban napon je $V_{VD3} + V_{VD4} + V_{VBE1}$. Znači ne postoji struja kroz diode D3 i D4 pa samim tim ni bazna struja tranzistora odnosno tranzistor T1 je zakočen. Pošto posmatramo neoptrećeno logičko kolo izlazni napon je V_{CC} .

Struja kroz diodu D1 je $I_{D1} = I_{RD} = \frac{V_{CC}-V_X}{R_D} = \frac{V_{CC}-V_D}{R_D} > 0$ pa je naša pretpostavka da dioda vodi ispravna.

Situacija u kolu se neće promeniti dok god je napon V_X manji od potrebnog napona za polarizaciju dioda D3 i D4 i bazno emitorskog spoja tranzistora T1. Odnosno, gledajući konturu počevši od napona V_X , D3, D4 i otpornik R_B



Vidimo da postoje uslovi da provedu diode D3 i D4, da postoji struja kroz diode koja je tada jednaka struji kroz otpornik R_B , a da bazno emitorski spoj tranzistora još uvek nije polarizovan. Ta situacija nastupa kada je napon tačke $V_X = V_{D3} + V_{D4}$. Tada je struja kroz diode D3 i D4 $I_{D34} \approx 0$ odnosno i struja $I_{RB} = I_{D34} \approx 0$ pod uslovom da je $I_{B1} = 0$. Napon na otporniku R_B što je istovremeno i napon između baze i emitora tranzistora T1 je mali i manji od V_{YT} . Znači jesu provele diode D3 i D4, ali je tranzistor T1 i dalje zakočen. Struja I_{RD} se deli na struje I_{D1} i I_{D34}

Pri daljem porastu ulaznog napona, raste i napon tačke V_X , raste struja kroz otpornik R_B , raste napon na otporniku R_B . Kada napon na otporniku R_B postane jednak V_{YT} tranzistor T1 počinje da vodi i počinje da vodi na ivici provođenja. Diode D3 i D4 vode sa strujama većim od nule znači više nisu na ivici provođenja. Napon tačke V_X pri koje se ovo dešava

$$V_X = V_{D3} + V_{D4} + V_{RB}$$

$$V_{RB} = V_{BE1} = V_{YT}$$

$$V_X = V_D + V_D + V_{YT}$$

a ulazni napon je tada

$$V_X = V_I + V_{D1} = V_I + V_D = 2V_D + V_{YT}$$

$$V_I = V_D + V_{YT}$$

Daljim porastom ulaznog napona raste polarizacija bazno emitorskog spoja i transistor ulazi u aktivan režim, pojavljuje se “velika” kolektorska struja tranzistora i napon na izlazu počinje da opada.

DIGRESIJA

Malo električarskog razgibavanja. Mada nam suštinski ova analiza ne treba, i mogli smo da nastavimo sa kvalitativnim razmišljanjima da vidimo šta se u stvari dešava u kolu kada je tranzistor u aktivnom režimu. Kako smo modelom pretpostavili da je u aktivnom režimu $V_{BE1}=V_{BE}$ tada će napon V_X biti određen naponskom konturom: D3, D4, V_{BE1} i biti jednak

$$V_X = V_{D3} + V_{D4} + V_{BE1} = 2V_D + V_{BE}$$

a ulazni napon, sa pretpostavkom da dioda D1 vodi

$$V_I = V_X - V_{D1} = V_X - V_D = V_D + V_{BE}$$

Da proverimo pretpostavku da D1 vodi. Potrebno uslov je $I_{D1} > 0$

$$I_{D1} = I_{RD} - I_{D34} = I_{RD} - (I_{RB} + I_B) = \frac{V_{CC} - V_X}{R_D} - \left(\frac{V_{BE1}}{R_B} + I_B \right)$$

$$I_{D1} = \frac{V_{CC} - 2V_D + V_{BE}}{R_D} - \frac{V_{BE}}{R_B} - I_B$$

i biće minimalna kada je I_B maksimalno.

$$I_{Bmax} = \frac{I_{Cmax}}{\beta_F}$$

Struja kolektora je maksimalna kad je napon na izlazu minimalan, odnosno kada tranzistor krene da ulazi u zasićenje

$$I_{Bmax} = \frac{I_{Cmax}}{\beta_F} = \frac{\frac{V_{CC} - V_{0min}}{R_C}}{\beta_F} = \frac{V_{CC} - V_{CES}}{\beta_F R_C}$$

$$I_{D1min} = \frac{V_{CC} - 2V_D - V_{BE}}{R_D} - \frac{V_{BE}}{R_B} - \frac{V_{CC} - V_{CES}}{\beta_F R_C}$$

$$\frac{V_{CC} - 2V_D - V_{BE}}{R_D} - \frac{V_{BE}}{R_B} - \frac{V_{CC} - V_{CES}}{\beta_F R_C} > 0$$

$$\frac{V_{CC} - 2V_D - V_{BE}}{R_D} - \frac{V_{BE}}{R_B} > \frac{V_{CC} - V_{CES}}{\beta_F R_C}$$

$$\beta_F \left(\frac{V_{CC} - 2V_D - V_{BE}}{R_D} - \frac{V_{BE}}{R_B} \right) > \frac{V_{CC} - V_{CES}}{R_C}$$

Sa druge strane, kada je ulazni napon maksimalan, tranzistor bi trebao da je u zasićenju. Napon tačke V_X biti određen naponskom konturom: D3, D4, V_{BE1} i biti jednak

$$V_X = V_{D3} + V_{D4} + V_{BE1} = 2V_D + V_{BE}$$

Napon na ulazu je na primer V_{CC} pa je dioda D1 inverzno polarizovana i struja kroz diodu je jednaka nuli. Bazna struja tranzistora

$$I_B = I_{RD} - I_{D1} - I_{RB} = \frac{V_{CC} - V_X}{R_D} - 0 - \frac{V_{BE1}}{R_B}$$

$$I_B = \frac{V_{CC} - 2V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B}$$

uslov da tranzistor vodi u zasićenju je

$$\beta_F I_B > I_C$$

$$\beta_F \left(\frac{V_{CC} - 2V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B} \right) > \frac{V_{CC} - V_{CE1}}{R_C} = \frac{V_{CC} - V_{CES}}{R_C}$$

što je skoro identično izrazu koji smo našli kao uslov da dioda D1 vodi. Znači uz pravilno izabrane komponente naš zaključak da će dioda D1 voditi dok je tranzistor u aktivnom režimu je tačan.

Ako i dalje povećamo ulazni napon raste i dalje polarizacija bazno emitorskog spoja tranzistora i on će pri nekom ulaznom naponu ući u zasićenje. Možda ovde liči da porastom ulaznog napona raste napon tačke V_X pa se smanjuje struja

$$I_{RD} = \frac{V_{CC} - V_X}{R_D}$$

međutim ovde govorimo o malim porastima ulaznog napona. „Rezervoar“ porasta bazne struje tranzistora I_B je u stvari smanjenje struje kroz diodu D1.

Pri nekom ulaznom naponu, tranzistor će ući u zasićenje i napon tačke V_X se sa daljim porastom ulaznog napona neće menjati. Napon tačke V_X je mogao da se menja dok je tranzistor prelazio iz aktivnog režima u režim zasićenja. Napon tačke V_X je određen naponskom konturom: D3, D4, V_{BE1} (sve su po modelu „idealni naponski izvori“) i biti jednak

$$V_X = V_{D3} + V_{D4} + V_{BE1} = 2V_D + V_{BES}$$

Struja kroz diodu D1 postaje jednaka nuli kada je ona na ivici provođenja, odnosno kada je

$$V_{D1} = V_{\gamma D}$$

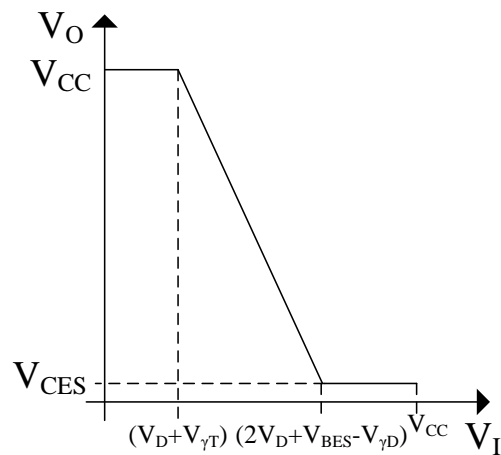
i tada je sva struja otpornika R_D raspoloživa za baznu struju tranzistora. To se dešava kada je ulazni napon

$$V_{D1} = V_X - V_I = V_{\gamma D}$$

$$V_I = V_X - V_{\gamma D} = 2V_D + V_{BES} - V_{\gamma D}$$

Daljim porastom ulaznog napona dioda D1 postaje inverzno polarizovan, struja kroz nju je jednaka nuli, i više ne utiče na rad tranzistora, odnosno ne utiče na izlazni napon. Da budemo precizni, i pri malo nižem ulaznom naponu će tranzistor zaista ući u zasićenje. Takvu situaciju smo diskutovali kod RTL logičkih kola. Međutim da bi tačno odredili tu granicu morali bi da koristimo složenije modele tranzistora.

Na osnovu ove analize karakteristika prenosa DTL logičkog kola je



pa su $V_{OL}=V_{CES}$, $V_{OH}=V_{CC}$, $V_{IL}=V_D+V_{\gamma T}$, $V_{IH}=2V_D+V_{BES}-V_{\gamma D}$

Možemo smatrati da je zavisnost izlaznog od ulaznog napona u oblasti velikih pojačanja linearna, pa možemo da pišemo

$$V_O = \frac{V_{CC} - V_{CES}}{(V_D + V_{\gamma T}) - (2V_D + V_{BES} - V_{\gamma D})} (V_I - (V_D + V_{\gamma T})) + V_{CC}$$

(jednačina prave kroz dve tačke), i kao što vidimo, pojačanje u prelaznoj zoni je veliko

$$a = \frac{V_{CC} - V_{CES}}{(V_D + V_{\gamma T}) - (2V_D + V_{BES} - V_{\gamma D})} = - \frac{V_{CC} - V_{CES}}{V_D + V_{BES} - V_{\gamma D} - V_{\gamma T}}$$

što se vidi i iz činjenice da je prelazna zona uska, odnosno karakteristika odgovara karakteristici logičkog kola. Da bi našli tačku V_M

$$V_I = V_O$$

$$V_I = a(V_I - (V_D + V_{\gamma T})) + V_{CC}$$

$$V_I = \frac{V_{CC} - a(V_D + V_{\gamma T})}{(1 - a)} = V_M$$

Margine šuma za višestruke izvore šuma su

$$NM_{LMS} = V_{IL} - V_{OL} = V_D + V_{\gamma T} - V_{CES}$$

$$NM_{HMS} = V_{OH} - V_{IH} = V_{CC} - 2V_D - V_{BES} + V_{\gamma D}$$

Zbog uske prelazne zone margine šuma za jednostruke izvore će biti slične po vrednosti.

$$NM_{LSS} = V_M - V_{OL} = V_M - V_{CES} \quad NM_{HSS} = V_{OH} - V_M = V_{CC} - V_M$$

I dalje je margina šuma logičke nule manja od margina šuma logičke jedinice. To bi eventualno moglo da se popravi dodavanjem još dioda na red sa diodom D3 i D4. U slučaju da ih ima n izrazi za margine šuma bi bili

$$NM_{LMS} = V_{IL} - V_{OL} = (n-1)V_D + V_{\gamma T} - V_{CES} \quad NM_{HMS} = V_{OH} - V_{IH} = V_{CC} - nV_D - V_{BES} + V_{\gamma D}$$

pa bi brojem tih dioda mogli čak i da približno izjednačimo margine šuma

Strujni kapaciteti DTL logičkog kola

Da bi odredili I_{IL} smatraćemo da se na ulazu nalazi napon od V_{OL} do V_{IL} . U tom slučaju tranzistor T1 je zakočen, diode D3 i D4 su zakočene, i sva struja otpornika R_D prolazi kroz ulaznu diodu. Uočiti da će ovo istovremeno biti i najgori slučaj kod višeulaznih kola. Kada sva struja otpornika R_D prolazi kroz jednu diodu, jedan ulaz. Tada je ulazna struja

$$I_I = - \frac{V_{CC} - V_{D1} - V_I}{R_D} = - \frac{V_{CC} - V_D - V_I}{R_D}$$

Najgori slučaj je kada je na ulazu V_{OL} , međutim videli smo da na primer kod prelaznih režima taj napon može da bude i manji. Zbog toga sa punim pravom smemo smatrati da je najgori slučaj kada je ulazni napon jednak 0, pa je

$$I_{I_{max}} = - \frac{V_{CC} - V_D - V_{I_{min}}}{R_D} = - \frac{V_{CC} - V_D - 0}{R_D} = - \frac{V_{CC} - V_D}{R_D}$$

$$I_{IL} = - \frac{V_{CC} - V_D}{R_D}$$

Na ispitu nećete pogrešiti ni ako za minimalan napon stavite V_{OL} odnosno dobijete

$$I_{IL} = - \frac{V_{CC} - V_D - V_{OL}}{R_D}$$

Razlike su male, a ovaj drugi izraz je „akademskiji“.

Da bi odredili I_{IH} smatraćemo da se na ulazu nalazi napon od V_{IH} do V_{OH} . U tom slučaju tranzistor T1 je u zasićenu, vode diode D3 i D4, zakočena je ulazna dioda pa odmah možemo pisati

$$I_{IH} = 0$$

I ovde se vidi razlog zašto je izabrano logička I konfiguracija diodne logike.

Da bi odredili I_{OH} smatraćemo da je na izlazu napon logičke jedinice. Tada je tranzistor zakočen pa je po izlaznoj konturi

$$I_O = -\frac{V_{CC} - V_O}{R_C}$$

„Znak minus je posledica usvojenog referentnog smera izlazne struje i on pokazuje ono što smo u elementima analize rekli da će logička kola za stanje logičke jedinice na izlazu biti izvori struje, odnosno da će pravi smer struje biti „iz kola“. I kao što smo u elementima analize rekli mogli bi sada u jednačini da zamenimo $V_O = V_{IH}$, pošto će naredno kolo taj napon i dalje shvatati kao logičku jedinicu. Ali u tom slučaju nismo ostavili prostor da sme da se pojavi bilo kakav šum na tom naponu. Zato definišemo minimalan napon logičke jedinice na izlazu V_{OHmin} tako da je $V_{OHmin} > V_{IH}$. U tom slučaju

$$I_{Omax} = I_{OH} = -\frac{V_{CC} - V_{OHmin}}{R_C}$$

...“ Isti tekst kao i za RTL kolo. Ista je izlazna konfiguracija tako da praktično sve što smo diskutovali kod RTL kola važi i ovde.

„Da bi odredili I_{OL} smatraćemo da je na izlazu napon logičke nule. Tada je tranzistor u zasićenju. Na izlaznom čvoru važi

$$I_C = I_{RC} + I_O$$

Povećanjem izlazne struje povećava se i struja kolektora tranzistora, a da bi bio stabilan napon logičke nule, potrebno je da tranzistor ostane u zasićenju, odnosno potrebno je da bude $\beta_F I_B > I_C$. Znači

$$\beta_F I_B > I_C = I_{RC} + I_O$$

odnosno

$$I_O < \beta_F I_B - I_{RC}$$

Kako je po izlaznoj konturi

$$I_{RC} = \frac{V_{CC} - V_O}{R_C}$$

a tranzistor je u zasićenju

$$I_{RC} = \frac{V_{CC} - V_O}{R_C} = \frac{V_{CC} - V_{CES}}{R_C}$$

Znači

$$I_O < \beta_F I_B - I_{RC} = \beta_F I_B - \frac{V_{CC} - V_{CES}}{R_C}$$

Sve isto kao kod RTL kola. Jedino je sada situacija za baznu struju jednostavnija, pošto ulazni napon ne utiče na baznu struju. Sada je svejedno koji ćemo napon staviti na ulaz iz opsega V_{IH} do V_{OH} pošto će dioda D1 biti zakočena a izraz za baznu struju tranzistora, po konturi otpornika R_D , dioda D3, D4 i otpornika R_B

$$I_B = I_{RD} - I_{RB} = \frac{V_{CC} - V_{D3} - V_{D4} - V_{BE1}}{R_D} - \frac{V_{BE1}}{R_B}$$

$$I_B = \frac{V_{CC} - V_D - V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B} = \frac{V_{CC} - 2V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B} =$$

$$I_{Omax} = I_{OL} = \beta_F I_B - I_{RC} = \beta_F \left(\frac{V_{CC} - 2V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B} \right) - \frac{V_{CC} - V_{CES}}{R_C}$$

Na osnovu dobijenih vrednosti možemo izračunati i faktore grananja

$$N_H = \left| \frac{I_{OH}}{I_{IH}} \right| = \infty$$

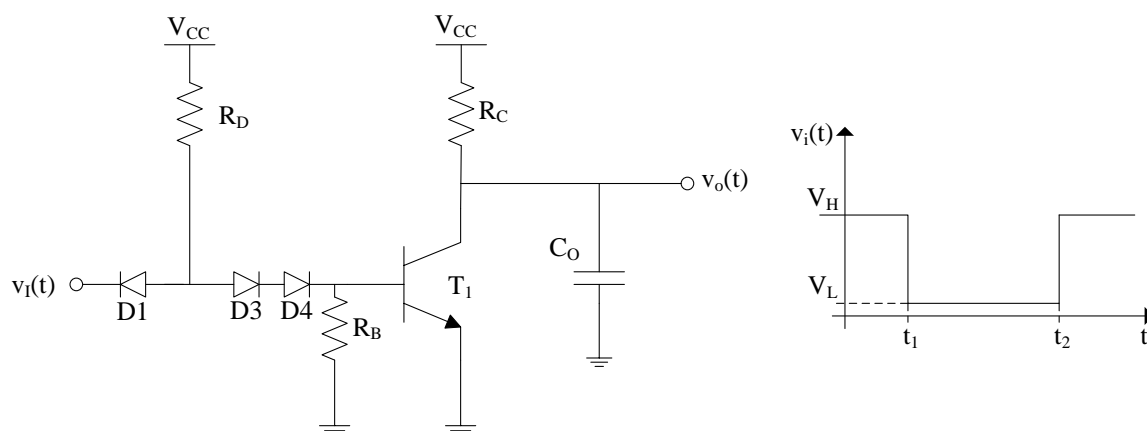
$$N_L = \left| \frac{I_{OL}}{I_{IL}} \right| = \frac{\beta_F \left(\frac{V_{CC} - 2V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B} \right) - \frac{V_{CC} - V_{CES}}{R_C}}{\frac{V_{CC} - V_D - V_{OL}}{R_D}}$$

$$N = \min(N_L, N_H)$$

Dinamičke karakteristike DTL logičkog kola

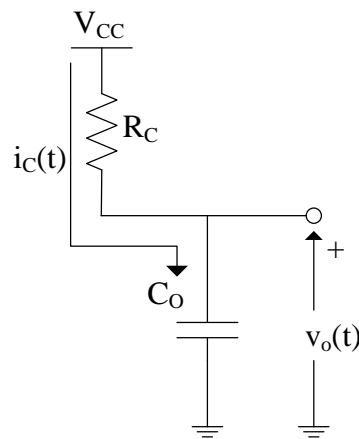
Izlazna konfiguracija DTL kola je identična RTL kolima. Tako da praktično svi zaključci i analiza koju smo izveli kod RTL kola važe i ovde. Isto kao i kod RTL kola, sa bi sagledali dinamičke karakteristike DTL logičkog kola smatraćemo da se na izlazu nalazi kapacitivnost C_O koja predstavlja parazitne kapacitivnosti linija sa kojima je izlaz kola povezan sa ostatkom digitalnog sistema kao i ulazne kapacitivnosti narednog nivoa logičkih kola.

(Većina teksta i jednačina je identična kao i kod dinamičkog režima RTL kola)



Uočite da su naponski nivoi ulaznog signala na grafiku označeni kao V_L i V_H . To su „neki“ naponi koji odgovaraju naponima logičke nule i logičke jedinice, a u toku analize ćemo videti njihove vrednosti kao najgori slučaj za rad kola.

Do trenutka t_1 smatraćemo da su svi prelazni procesi završeni, i pošto je na ulazu logička jedinica na izlazu će biti logička nula, odnosno napon V_{OL} . U trenutku t_1 dešava se promena ulaznog napona sa logičke jedinice na logičku nulu. Smatraćemo da unutar kola ne postoje akumulativni elementi, da je tranzistor idealno brz (parazitni akumulativni elementi su izdvojeni u C_O). To znači da će se u trenutku t_1 tranzistor T_1 odmah zakočiti tako da će se kapacitivnost C_O puniti preko otpornika R_C .



To kolo smo posmatrali u elementima analize logičkih kola i važiće

$$v_o(t) = v_o(\infty) + (v_o(t_1^+) - v_o(\infty))e^{-\frac{t-t_1}{\tau}} \quad \text{za } t \geq t_1$$

1. τ

$$\tau = C_O R_C$$

2. $v_o(t_1^+)$

Kako je izlazni napon istovremeno i napon na kondenzatoru, koji ne može trenutno da se promeni, i za koji znamo da je bio V_{OL}

$$v(t_1^+) = V_{OL}$$

3. $v_o(\infty)$

Kada se završe svi prelazni procesi $i_C(\infty) = 0$, što je istovremeno i struja kroz otpornik, pa je napon na otporniku u beskonačnosti jednak nuli

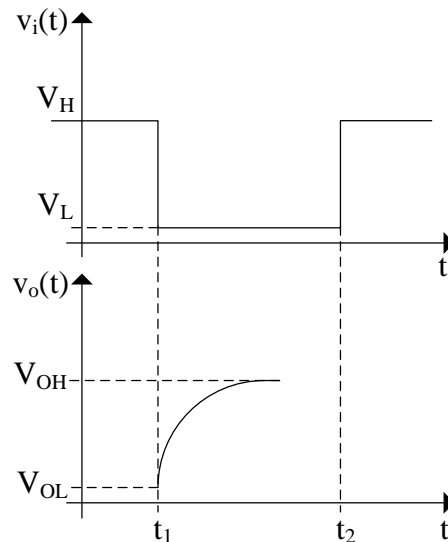
$$v_o(\infty) = V_{CC} - v_R(\infty) = V_{CC} - 0 = V_{CC}$$

Zamenom u gotov izraz dobijamo

$$v_o(t) = V_{CC} + (V_{OL} - V_{CC})e^{-\frac{t-t_1}{\tau}} \quad t \geq t_1$$

I isto tako možemo na osnovu rezultata iz elemenata analize reći da je $t_{pHL}=0.69\tau$, trajanje silazne ivice izlaznog signala $t_f=2.2\tau$ a da smemo smatrati da je prelazni proces završen posle 5τ .

Znači napon V_L samo mora da bude iz opsega V_{OL} do V_{IL} da bi se tranzistor sigurno zakočio.



Kako je $t_{pLH}=0.69\tau=0.69R_C C_0$ vidimo da će kašnjenje biti manje ako je i otpornik R_C manji. Smanjenje otpornika R_C smo u statičkim karakteristikama „radili“ da bi povećali strujni kapacitet logičke jedinice. I možemo da izvedemo generalan zaključak da će povećanje strujnih kapaciteta logičkog kola uticati na smanjenje kašnjenja signala prouzrokovanim parazitnim kapacitivnostima na izlazu.

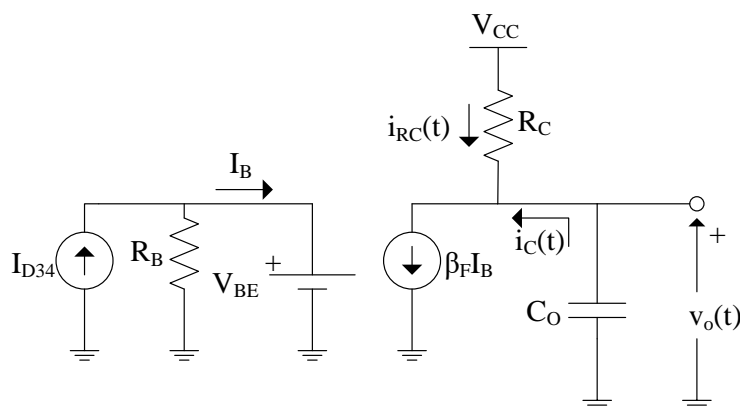
Da vidimo šta se dešava od trenutka t_2 .

U trenutku neposredno pre trenutka t_2 napona na kondenzatoru C_0 je V_{OH} i ne može trenutno da se promeni. Tranzistor nema beskonačan strujni kapacitet. Znači neposredno posle trenutka t_2 napon na kondenzatoru je i dalje V_{OH} , što je istovremeno i izlazni napon, što je istovremeno i napon između kolektora i emitera tranzistora T_1 . Prema tome neposredno posle trenutka t_2 $V_{CE1}=V_{OH}>V_{CES}$ pa tranzistor T_1 radi u aktivnom režimu. Ne zaboravite da bi radio u zasićenju uslov je $V_{CE1}=V_{CES}$. I radiće u aktivnom režimu za vreme procesa pražnjenja kondenzatora dok god izlazni napon ne padne do $v_0(t)=V_{CE1}=V_{OL}=V_{CES}$. U tom trenutku tranzistor ulazi u zasićenje i prestaje proces pražnjenja kondenzatora. Struja kroz diode D_3 i D_4 je u tom procesu konstantna

$$I_{D34} = \frac{V_{CC} - V_{D3} - V_{D4} - V_{BE1}}{R_D} = \frac{V_{CC} - 2V_D - V_{BE}}{R_D}$$

dok je dioda D_1 zakočena.

Znači model pražnjenja kondenzatora je



$$I_{D34} = \frac{V_{CC} - 2V_D - V_{BE}}{R_D}$$

Kolo je i dalje kauzalno i LTI sa jednim akumulativnim elementom i važiće

$$v_o(t) = v_o(\infty) + (v_o(t_2^+) - v_o(\infty))e^{-\frac{t-t_2}{\tau}} \quad \text{za } t_3 \geq t \geq t_2$$

ali samo do trenutka t_3 kada tranzistor ulazi u zasićenje i više neće važiti predstavljeni model.

1. τ

$$\tau = C_O R_C$$

Kondenzator vidi samo otpornost R_C . Idealne naponske generatore kratko spajamo, znači ulazni nezavisni strujni generator I_{D34} izbacujemo a generator V_{BE} spajamo na masu. Zbog toga je $I_B=0$, pa je i $\beta_F I_B=0$ pa onda taj zavisni strujni izvor možemo da smatramo otvorenom vezom.

2. $v_o(t_2^+)$

Kako je izlazni napon istovremeno i napon na kondenzatoru, koji ne može trenutno da se promeni, i za koji znamo da je bio V_{OH}

$$v(t_2^+) = V_{OH}$$

3. $v_o(\infty)$

Završetak prelaznih procesa u modelu koji smo postavili dešava se kao i uvek. Kada struja kroz kondenzator $i_C(t)$ postane jednaka nuli. Tada sva struja zavisnog strujnog izvora prolazi kroz otpornik R_C .

Znači

$$v_o(t) = V_{CC} - R_C i_{RC}(t) = V_{CC} - R_C (\beta_F I_B - i_C(t))$$

$$i_C(\infty) = 0$$

$$v_0(\infty) = V_{CC} - R_C i_{RC}(t) = V_{CC} - R_C \beta_F I_B$$

$$v_0(\infty) = V_{CC} - R_C \beta_F (I_{D34} - I_{RB}) = V_{CC} - R_C \beta_F \left(\frac{V_{CC} - 2V_D - V_{BE}}{R_D} - \frac{V_{BE}}{R_B} \right)$$

i po našim analizama statičkih karakteristika

$$I_{OL} = \beta_F I_B - I_{RC} = \beta_F \left(\frac{V_{CC} - 2V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B} \right) - \frac{V_{CC} - V_{CES}}{R_C}$$

$$R_C I_{OL} = R_C \beta_F \left(\frac{V_{CC} - 2V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B} \right) - (V_{CC} - V_{CES})$$

Da se podsetimo, u ovom izrazu figurišu V_{BES} pošto smo krenuli od situacije da je tranzistor u zasićenju, pa „povećavali“ struju I_O i gledali uslov kada izlazi iz zasićenja. Ali da smo na primer posmatrali situaciju da je tranzistor u aktivnom režimu pa „smanjivali“ struju I_O i gledali uslov kada ulazi u zasićenje dobili bi izraz

$$R_C I_{OL} = R_C \beta_F \left(\frac{V_{CC} - 2V_D - V_{BE}}{R_D} - \frac{V_{BE}}{R_B} \right) - (V_{CC} - V_{CES})$$

Kao što smo i ranije videli, vrednosti će se jako malo razlikovati i obe su tačne. Istina je negde na sredini.

Znači sa punim pravom smemo da pišemo

$$v_0(\infty) = V_{CES} - R_C I_{OL}$$

pa je

$$v_0(\infty) \ll 0$$

DIGRESIJA

Isti izraz smo mogli da napišemo i kod RTL logičkih kola. Iz njega se praktično odmah vidi da što je veći strujni kapacitet i kolo će raditi brže. Ili ono što smo gledali, da je $I_{OL}=0$, kolo bi se praktično ponašalo kao pasivno.

Znači

$$v_o(t) = V_{CES} - R_C I_{OL} + (V_{OH} - (V_{CES} - R_C I_{OL})) e^{-\frac{t-t_2}{\tau}} \quad t_3 \geq t \geq t_2$$

Trenutak t_3 možemo da nađemo iz prethodne jednačine pošto tada tranzistor ulazi u zasićenje, odnosno izlazni napon postaje jednak V_{CES}

$$v_o(t_3) = V_{CES} = V_{CES} - R_C I_{OL} + (V_{OH} - (V_{CES} - R_C I_{OL})) e^{-\frac{t_3-t_2}{\tau}}$$

odnosno

$$t_3 = t_2 + \tau \ln \left(\frac{v_o(t_2^+) - v_o(\infty)}{v_o(t_3) - v_o(\infty)} \right)$$

$$t_3 = t_2 + \tau \ln \left(\frac{V_{OH} - (V_{CES} - R_C I_{OL})}{V_{OL} - (V_{CES} - R_C I_{OL})} \right) = t_2 + \tau \ln \left(\frac{V_{CC} - V_{CES} + R_C I_{OL}}{R_C I_{OL}} \right)$$

$$t_3 = t_2 + \tau \ln \left(1 + \frac{V_{CC} - V_{CES}}{R_C I_{OL}} \right)$$

Vidimo da će trenutak t_3 biti dosta blizak trenutku t_2 odnosno da će proces pražnjenja kondenzatora biti mnogo brži od procesa punjenja kondenzatora. To je zahvaljujući činjenici da je strujni kapacitet logičke nule, zbog tranzistora koji je obezbeđuje, znatno veći od strujnog kapaciteta logičke jedinice. Odmah je i vidljivo da nikako ne smemo da kažemo da je $t_{pHL} = 0.69\tau$. Moramo da ga izračunamo.

Znači interesuje nas trenutak u kojem napon na izlazu dostiže

$$v_o(t_2 + t_{pHL}) = V_{OH} - 50\%(V_{OH} - V_{OL}) = V_{OH} - \frac{V_{OH} - V_{OL}}{2} = \frac{V_{OH} + V_{OL}}{2}$$

pa je

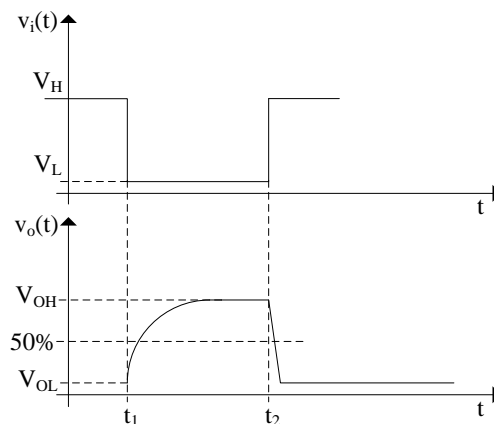
$$t_{pHL} = \tau \ln \left(\frac{V_{OH} - (V_{CES} - R_C I_{OL})}{\frac{V_{OH} + V_{OL}}{2} - (V_{CES} - R_C I_{OL})} \right)$$

I vreme pada silazne ivice nije 2.2τ . I to moramo da izračunamo

$$t_f = \tau \ln \left(\frac{(0.9V_{OH} + 0.1V_{OL}) - (V_{CES} - R_C I_{OL})}{(0.1V_{OH} + 0.9V_{OL}) - (V_{CES} - R_C I_{OL})} \right)$$

Ostaje pitanje vrednosti V_H . Očigledno je da taj napon mora biti iz opsega V_{IH} do V_{OH} kada je dioda D1 zakočena, tako da vrednost ulaznog napona ne utiče na naše prethodne rezultate.

Izlazni napon predstavljen na grafiku je



I sa grafika i iz jednačina vidljivo je da će doći do skraćanja trajanja signala na izlazu pošto je $t_{pLH} > t_{pHL}$, što je posledica nejednakosti strujnih kapaciteta logičke nule logičke jedinice na izlazu kola. Znači treba da budu što veći i jednaki.

Šta je uloga otpornika R_B ? Računajući statičke karakteristike možemo da zaključimo da nam je otpornik R_B samo „smetao“, pošto je oduzimao baznu struju tranzistora. Međutim njegova uloga je izuzetno značajna za dinamički režim rada tranzistora. Ne ovaj koji smo računali nego onaj stvarni. U situaciji kada bi se ulaz naglo promenio sa logičke jedinice na logičku nulu postojali bi uslovi da se brzo uključi dioda D1 i brzo isključe diode D3 i D4. Međutim tranzistor T1 koji je bio u dubokom zasićenju da nema otpornika R_B bi se isključivao praktično samo preko inverzne struje dioda D3 i D4. Dodavanjem otpornika R_B se daje mogućnost da se u tom prelaznom režimu tranzistor isključuje baznom strujom koja je praktično jednaka

$$I_B = -\frac{V_{BE1}}{R_B}$$

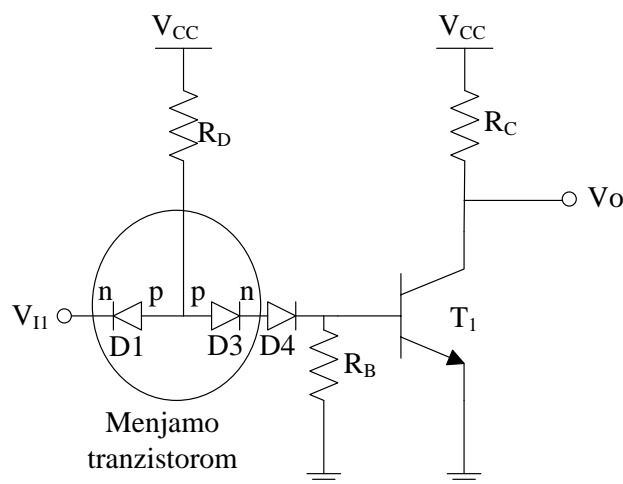
i sa tog stanovišta otpornik R_B treba da je što manji, da bi se tranzistor T1 što pre zakočio. Sa druge strane, gledajući statičke karakteristike otpornik R_B bi trebalo da bude što veći da bi u statičkom režimu što manje uticao na baznu struju tranzistora. Pa koliki je onda? Odgovor je opet: kompromis.

TTL logička kola

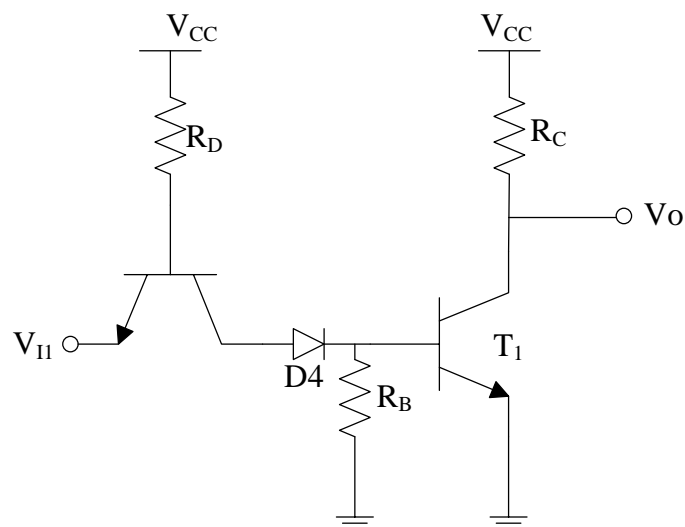
TTL – Transistor Transistor Logic

Masovno korišćenje integrisanih kola počinje sa TTL logičkim kolima. Tada su praktično uvedena standardna pakovanja integrisanih kola, kao i standardizacija oznaka i karakteristika. O ovome ćemo govoriti na nekom narednom mestu. Ali na primer ono što je standardizovano je i da je napon napajanja $V_{CC}=+5V$. Standardizacija je dozvolila da korisnici mogu koristiti kola različitih proizvođača bez potrebe da modifikuju električne šeme.

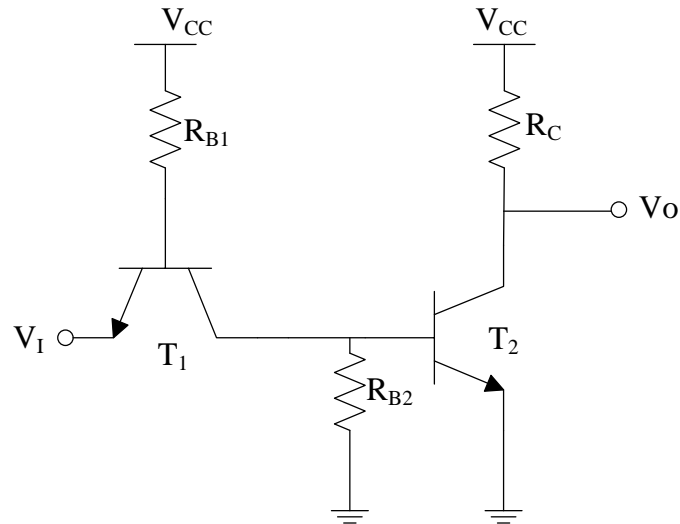
Ideja u realizaciji TTL logičkih kola je nastavak onoga što je viđeno u DTL tehnologiji sa pitanjem: Da li bi nešto dobili ako diode D1 i D3 u standardnom DTL kolu zamenimo tranzistorom?



Da budemo jasni, ove dve diode sigurno ne mogu, niti čine tranzistor. Da bi postojao tranzistorski efekat baza NPN tranzistora, odnosno p oblast mora biti „uska“ što u slučaju veze ove dve diode sigurno nije. Međutim ovo konfiguracija npn mnogo podseća na konfiguraciju NPN tranzistora. Znači da li bi na primer ovakvo kolo moglo da se koristi kao logičko kolo

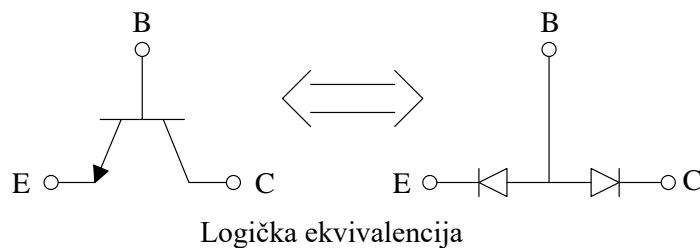


Odgovor je potvrđan, i ovo u neku ruku predstavlja TTL kolo. Međutim u pravom TTL kolu ne postoji dioda D4. I umesto nje je tranzistor u odgovarajućoj konfiguraciji. Međutim bez obzira što naredna slika ne predstavlja osnovno TTL kolo (opet dosta često pogrešno u literaturi predstavljeno kao osnovno), poslužiće nam da sagledamo karakteristike kao i ulogu ulaznog tranzistora u TTL kolima.



Ono što ćemo videti jeste da su u ovom slučaju i statičke i dinamičke karakteristike jako slične, skoro identične DTL kolu kod kojeg umesto dioda D3 i D4 postoji samo jedna dioda.

U analizi TTL kola često ćemo se pomagati njegovom logičkom ekvivalencijom sa dve diode. Samo logička ekvivalencija, da bi odredili pravilno polarizacije i u kom režimu radi tranzistor!



Za statičke karakteristike isto kao i ranije dovedemo za početak $V_I=0$. Postavlja se pitanje u kom režimu radi tranzistor T1. Ako bi pretpostavili da je zakočen da je struja $I_{B1}=0$, tada bi napon na njegovoj bazi bio $V_{B1}=V_{CC}-R_{B1}I_{B1}=V_{CC}$. A kako smo pretpostavili da je ulazni napon nula, što je i napon na emitoru, napon između baze i emitera bi bio $V_{BE1}=V_{B1}-V_{E1}=V_{CC}-0 \gg V_{\gamma T}$, odnosno tranzistor bi imao sve uslove da vodi. Pogrešna pretpostavka. Vraćamo se unazad i pretpostavimo da tranzistor vodi. U tom slučaju napon na njegovoj bazi je

$$V_{B1} = V_I + V_{BE1}$$

Da li vodi u aktivnom režimu?

Da bi vodio u aktivnom režimu, BC spoj treba da je inverzno polarizovan i potrebno je da postoji struja kolektora $\beta_F I_B$. Ta struja kolektora bi na otporniku R_{B2} pravila neki pad napona. Po referentnom smeru to ne može biti bazna struja I_{B2} . Suprotnog je smera. Znači napon na bazi tranzistora T2, što je istovremeno i napon na kolektoru tranzistor T1 bi bio

$$V_{B2} = V_{C1} = -\beta_F I_{B1} R_{B2} < 0$$

odnosno spoj BC tranzistora T1 bi bio direktno polarizovan

$$V_{BC1} = V_{B1} - V_{C1} = V_I + V_{BE1} + \beta_F I_{B1} R_{B2}$$

Znači i ta pretpostavka nije dobra. Idemo dalje. Tranzistor T1 radi u zasićenju. I dalje važi da je

$$V_{B1} = V_I + V_{BE1}$$

Pretpostavka je da je direktno polarizovan BC spoj. Da je napon $V_{CE1} = V_{CES}$. I sada ide ono što vas jako zbunjuje.

U tom slučaju

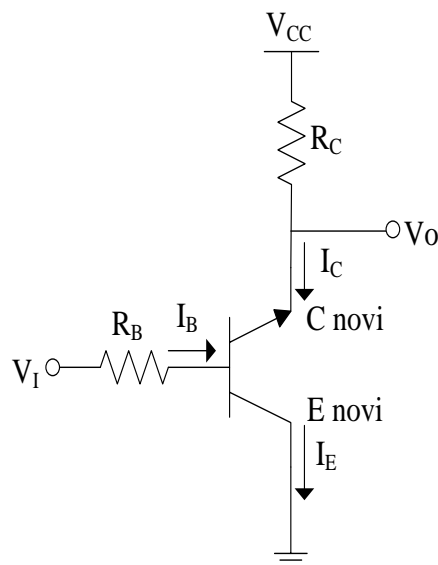
$$V_{B2} = V_{C1} = V_I + V_{CE1} = 0 + V_{CES} = V_{CES}$$

što je istovremeno i napon na otporniku R_{B2} , pa je struja kroz njega

$$I_{RB2} = \frac{V_{B2}}{R_{B2}} = -I_{C1}$$

po referentnim smerovima.??? Pa koji je onda režim rada tranzistora?

Da bi dali odgovor na ovo pitanje, moramo malo pažljivije da se podsetimo strujno naponske karakteristike tranzistora kao i da tranzistor može raditi i u inverznim režimima. Na primer u konfiguraciji



kada emitor i kolektor zamene mesta. Tranzistor isto kao i u direktnom režimu može biti u inverznom aktivnom režimu kada važi da je bazno kolektorski spoj direktno polarizovan a bazno emitorski spoj inverzno polarizovan a veza struja je

$$I_{Cn} = \beta_R I_B \quad I_{En} = (\beta_R + 1) I_B \quad 0.1 < \beta_R < 5$$

gde je β_R strujno pojačanje u inverznom aktivnom režimu. Inverzno zasićenje, uslov je

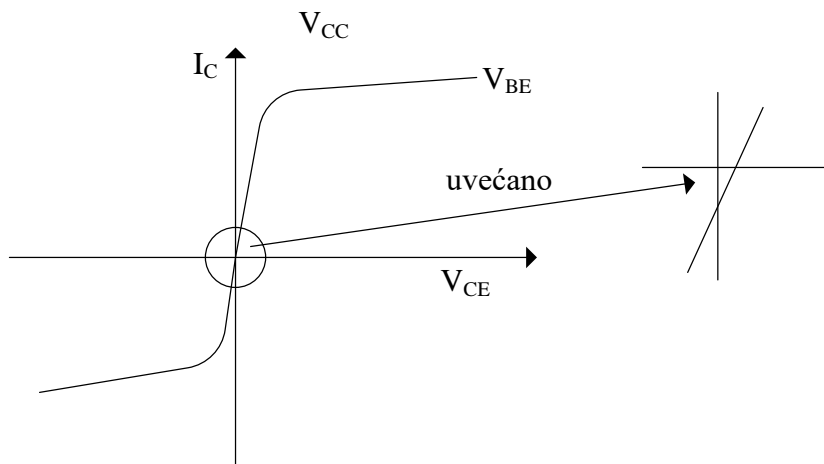
$$\beta_R I_{Bn} > I_{Cn} \quad V_{CE} = V_{CESI} > 0$$

gde je V_{CESI} napon inverznog zasićenja. Obratite pažnju da su indeksi za „novi“ kolektor i emiter. Sa pravim indeksima

$$I_E = -\beta_R I_B \quad I_C = -(\beta_R + 1) I_B \quad 0.1 < \beta_R < 5$$

$$\beta_R I_B > |I_E| \quad V_{CE} = V_{CESI} < 0$$

U stvari ovo sa direktnim i inverznim zasićenjem zbunjuje. Kada bi nacrtali strujno naponsku karakteristiku tranzistora (jednu krivu) u 1. i 3. kvadrantu ona bi izgledala



pri čemu ne prolazi kroz koordinatni početak zbog razlike u dopiranju oblasti emitera i kolektora. To znači da struja kolektora može biti negativna, a da je tranzistor još uvek u „direktnom zasićenju“. Odgovor na naše pitanje u kom režimu radi tranzistor T1 kada je na ulazu napon $V_I=0$, jeste: tranzistor radi u direktnom zasićenju pošto mu struja kolektora jeste negativna ali je još uvek mala. Daljim porastom ulaznog napona ova situacija se neće značajno promeniti, dok napon na bazi tranzistora T2 ne postane dovoljno veliki da on provede. U trenutku kada on provede dolazi do promene izlaznog napona pa bi odmah mogli da pišemo

$$V_I = V_{BE2} - V_{CE1}$$

$$V_{IL} = V_{YT} - V_{CES}$$

pa je onda i jasno zašto prikazana konfiguracija „TTL kola nije baš za realnu upotrebu“; biće mala margina šuma logičke nule. Daljim porastom ulaznog napona tranzistor T2 će „sve bolje

voditi“, i ući u aktivan režim. Tranzistor T1 prolazi iz direktnog zasićenja u inverzno zasićenje pa u inverzni aktivan režim. Kada je tranzistor T2 prešao u aktivan režim napon baze tranzistora T1 biće određen konturom BC tranzistora T1 i BE tranzistora T2, odnosno

$$V_{B1} = V_{BC1} + V_{BE2}$$

Kako je po prirodi stvari, BC spoj jako sličan diodnom spoju, po dopiranosti, smatraćemo da kada je on polarizovan da je to ekvivalentno diodi koja vodi odnosno polarizovan BC spoj

$$V_{BC} = V_D$$

pa je onda napon

$$V_{B1} = V_D + V_{BE}$$

Dok je napon

$$V_{BE1} = V_{B1} - V_I > V_{\gamma T}$$

$$V_I < V_{B1} - V_{\gamma T} = V_D + V_{BE} - V_{\gamma T}$$

tranzistor će raditi u inverznom zasićenju. Kada napon na ulazu bude

$$V_I > V_D + V_{BE} - V_{\gamma T}$$

dolazi do inverzne polarizacije BE spoja tranzistora T1 i on prelazi u aktivan režim. Tranzistor T2 će ući u zasićenje. Sada bi mogli da nastavimo analizu, ali ćemo to ostaviti za „stvarno“ TTL kolo.

Ako bi na ulaz doveli visok napon pa ga smanjivali, na osnovu prethodne diskusije, tranzistor T1 bi počevši od inverznog aktivnog režima, prošao kroz inverzno zasićenje i na kraju završio u direktnom zasićenju. Šta će nama onda taj ulazni tranzistor, kada nikada ne radi u direktnom aktivnom režimu i samo nam je zakomplikovao razmišljanja. Odgovor leži u dinamičkom režimu rada. Ne onom koji ćemo mi računati, nego u stvarnom. Ne zaboravite da je bipolarne tranzistore „teško izvući iz zasićenja“. U tom smislu zamislimo da se napon na ulazu naglo promenio sa napona logičke jedinice na napon logičke nule. Tada bi tranzistor T2 trebao iz zasićenja da pređe u zakočenje. Međutim kao što smo videli to ne može trenutno da se desi. Treba nam negativna bazna struja koja će odvesti viškove nosilaca iz baze. Dok god oni postoje tranzistor je i dalje u zasićenju. Prema tome u tom trenutku napon na bazi tranzistora T2 koji je još uvek u zasićenju

$$V_{B2} = V_{BE2} = V_{BES}$$

To je istovremeno i napon na kolektoru tranzistora T1. Napon na emitoru tranzistora T1 je ulazni napon i on je prešao na nizak naponski nivo, smatrajmo da je 0. Prema tome

$$V_{C1} = V_{B2} = V_{BES}$$

$$V_{E1} = V_I = 0$$

Napon između kolektora tranzistora T1

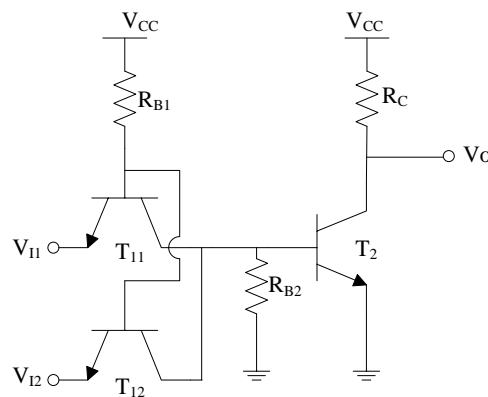
$$V_{CE1} = V_{C1} - V_{E1} = V_{BES} - 0 = V_{BES} > V_{CES}$$

Tranzistor T1 radi u ovom prelaznom režimu radi u aktivnom režimu! I to je razlog za njegovo uvođenje. On će sada svojom velikom kolektorskom strujom

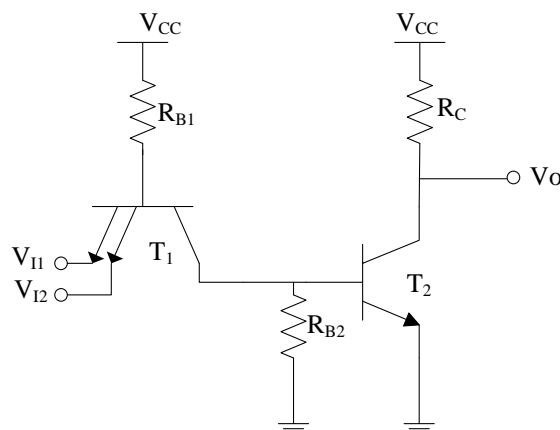
$$I_{C1} = \beta_F I_{B1} = \beta_F \frac{V_{CC} - V_{BE1} - V_I}{R_{B1}} = \beta_F \frac{V_{CC} - V_{BE}}{R_{B1}}$$

prazniti viškove nosilaca iz baze tranzistora T2 i time znatno ubrzati njegov proces isključenja.

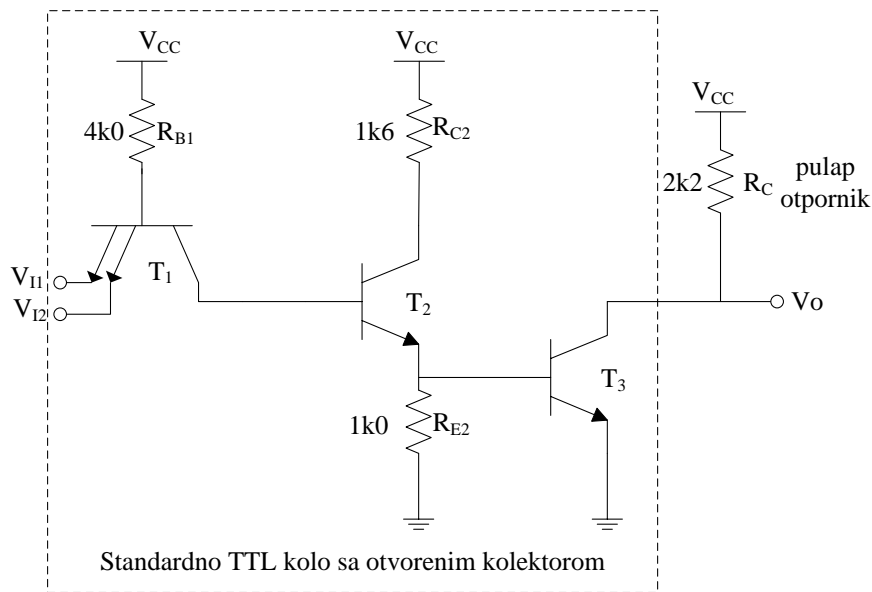
Da li će nam sada predstavljati neki problem da napravimo višulazna kola. Neće. Možemo za početak da zamislimo dvoulazno kolo tako da „paralelno“ sa tranzistorom T1 dodamo isti takav tranzistor, sa spojenim bazama i kolektorima, dok su emitori ulaz:



Kao i diodna logika ova dva paralelna tranzistora će činiti I logičku funkciju. Ako je na bilo kojem ulazu logička nula, odgovarajući tranzistor će raditi u direktnom zasićenju i time držati nizak napon na svojoj bazi, odnosno tranzistor T2 će biti zakočen. Samo kada su na oba ulaza logičke jedinice, oba tranzistora će raditi u inverznom aktivnom režimu, vodiće tranzistor T2 i na izlazu će biti logička nula. Znači dvoulazno NI logičko kolo. Međutim niti se realizuje niti se crta na ovaj način. Ulazni deo se realizuje sa višeemitemskim tranzistorom. Način razmišljanja, kao dva paralelno vezana tranzistora.



Pre nego što pređemo na analizu „standardnog TTL kola“ da uočimo još nekoliko stvari.



Na slici je prikazano standardno TTL kolo sa otvorenim kolektorom kome smo „spolja“ dodali pulap otpornik R_C . Tranzistor T2 je dodat da bi se, za početak objašnjavanja, povećao napon V_{IL} . Ima i drugu ulogu, ali o tome kada budemo videli klasično standardno TTL kolo. Kolo je nacrtano kao dvoulazno, ali smo već ranije videli I funkciju tog kola. Tako da ćemo u analizi i u jednačinama smatrati da je $V_{I2}=V_H$, tako da ne utiče na rad kola a menjaćemo napon $V_{I1}=V_I$.

DIGRESIJA

Da bi uočili tačno šta se dešava sada nam trebaju nam i prave vrednosti elemenata, otpornika. Nadam se da ste se već navikli na ovakva način označavanja vrednosti na elektroničarskim šemama.

$$1k6=1.6k\Omega$$

I ako uvek krećemo od $V_I=0$. Videli smo da će u tom slučaju tranzistor T1 raditi u direktnom zasićenju, tok će tranzistor T2 biti zakočen pa samim tim i tranzistor T3. Povećavanjem ulaznog napona povećava se napon na bazi tranzistora T1. Pri nekom ulaznom naponu će se pojaviti i uslovi da provede tranzistor T2. Tranzistor T3 još uvek neće provoditi. Da bi proveo tranzistor T3 potrebno je da tranzistor T2 bude u aktivnom režimu da bi dao dovoljno struje i napravio odgovarajući pad napona na otporniku R_{E2} .

Znači na izlazu će početi promena napona kada napon BE tranzistora T3 dostigne $V_{\gamma T}$. Ono što sada preko vrednosti otpornika treba uočiti

$$V_{BE3} = R_{E2}I_{E2} = V_{\gamma T} = V_{E2}$$

$$V_{C2} = V_{CC} - R_{C2}I_{C2} = V_{CC} - R_{C2} \frac{\beta_F}{\beta_F + 1} I_{E2}$$

$$V_{CE2} = V_{C2} - V_{E2} = V_{CC} - R_{C2} \frac{\beta_F}{\beta_F + 1} I_{E2} - R_{E2}I_{E2}$$

$$I_{E2} = \frac{V_{YT}}{R_{E2}}$$

$$V_{CE2} = V_{CC} - \frac{R_{C2}}{R_{E2}} \frac{\beta_F}{\beta_F + 1} V_{YT} - V_{YT}$$

Odnosno zbog vrednosti elemenata $R_{C2} = 1k6$, $R_{E2} = 1k0$, $\beta_F \approx 50$

$$V_{CE2} > V_{CES}$$

tranzistor T2 zaista radi u aktivnom režimu pri tom ulaznom naponu. Ostaje pitanje da vidimo koliki je taj ulazni napon.

Uočiti da je bazna struja tranzistora T2 pri toj situaciji

$$I_{B2} = \frac{I_{E2}}{\beta_F + 1} = \frac{V_{YT}}{R_{E2}(\beta_F + 1)}$$

dok je napon na bazi tranzistora T1 (koji je ili u direktnom zasićenju ili u inverznom aktivnom ili inverznom zasićenju još uvek ne znamo, ali znamo $V_{BC1} = V_D$, daje „suprotnu kolektorsku struju“)

$$V_{B1} = V_{BC1} + V_{BE2} + V_{BE3} = V_D + V_{BE} + V_{YT}$$

Bazna struja tranzistora T1 je

$$I_{B1} = \frac{V_{CC} - V_{B1}}{R_{B1}} = \frac{V_{CC} - V_D - V_{BE} - V_{YT}}{R_{B1}}$$

kako je bazna struja tranzistora T2, istovremeno (minus) kolektorska struja tranzistora T1 kroz emiter tranzistora T1 prolazi struja

$$I_{E1} = I_{B1} + I_{C1} = I_{B1} - I_{B2}$$

$$I_{E1} = \frac{V_{CC} - V_D - V_{BE} - V_{YT}}{R_{B1}} - \frac{V_{YT}}{R_{E2}(\beta_F + 1)}$$

i kao što se vidi zbog „male“ bazne struje tranzistora T2, emitorska struja tranzistora T1 je dominantno bazna struja tranzistora T1, odnosno tranzistor T1 zaista radi u direktnom zasićenju.

Prema tome ulazni napon pri kojem dolazi do uključivanja tranzistora T1 je

$$V_I = -V_{CE1} + V_{BE2} + V_{BE2}$$

i to je istovremeno napon V_{IL}

$$V_{IL} = -V_{CES} + V_{BE} + V_{\gamma T}$$

DIGRESIJA

Pitanje: Zar mi na ispitu treba da radimo sve ove proračune.

Odgovor: NE

Naučili ste kako radi kolo. Možda neke elemente budete pitani na usmenom. Ali na pismenom ispitu dovoljno je

Pri ulaznom naponu $V_I=0$, ulazni tranzistor T1 je u zasićenju, zakočeni su tranzistori T2 i T3. Na izlazu je visok napon V_{CC} . Situacija u kolu se menja kada provede tranzistor T3. Tada je tranzistor T2 u aktivnom režimu, tranzistor T1 u direktnom zasićenju pa je

$$V_I = -V_{CE1} + V_{BE2} + V_{BE2}$$

$$V_{IL} = -V_{CES} + V_{BE} + V_{\gamma T}$$

Pri daljem povećanju ulaznog napona tranzistor T1 će iz direktnog zasićenja, preći u inverzno zasićenje, pa u inverzan aktivan režim. Tranzistor T2 će ući u zasićenje. Tranzistor T3 će ući u zasićenje. Da proverimo ovo, pogotovo za tranzistor T2.

$$I_{B2} = -I_{C1}$$

$$I_{C2} = \frac{V_{CC} - V_{CE2} - V_{BE3}}{R_{C2}}$$

uslov

$$\beta_F I_{B2} > I_{C2}$$

i zbog malog β_R za integrisane tranzistore, manjeg od 1,

$$I_{B2} \approx I_{B1} = \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{R_{B1}}$$

ako je tranzistor T1 u inverznom aktivnom režimu.

$$\beta_F \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{R_{B1}} > \frac{V_{CC} - V_{CE2} - V_{BE3}}{R_{C2}}$$

Ili

$$\frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{\frac{R_{B1}}{\beta_F}} > \frac{V_{CC} - V_{CE2} - V_{BE3}}{R_{C2}}$$

kako je po vrednostima elemenata

$$\frac{R_{B1}}{\beta_F} \ll R_{C2}$$

vidi se da će za pretpostavljene režime rada biti sigurno ispunjen uslov

$$\frac{V_{CC} - V_D - V_{BES} - V_{BES}}{\frac{R_{B1}}{\beta_F}} > \frac{V_{CC} - V_{CES} - V_{BES}}{R_{C2}}$$

odnosno da tranzistor T2 jeste u zasićenju. Veliki deo emitorske struje tranzistora T2 ide kao bazna struja tranzistora T3

$$I_{E2} = I_{RE2} + I_{B3} = \frac{V_{BE3}}{R_{E2}} + I_{B3}$$

odnosno

$$\begin{aligned} I_{B3} &= I_{E2} - \frac{V_{BE3}}{R_{E2}} = I_{B2} + I_{C2} - \frac{V_{BE3}}{R_{E2}} \\ &= \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{R_{B1}} + \frac{V_{CC} - V_{CE2} - V_{BE3}}{R_{C2}} - \frac{V_{BE3}}{R_{E2}} \end{aligned}$$

uslov

$$\beta_F I_{B3} > I_{C3}$$

$$\beta_F \left(\frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{R_{B1}} + \frac{V_{CC} - V_{CE2} - V_{BE3}}{R_{C2}} - \frac{V_{BE3}}{R_{E2}} \right) > \frac{V_{CC} - V_{CE3}}{R_C}$$

Uz pretpostavljene režime rada

$$\beta_F \left(\frac{V_{CC} - V_D - V_{BES} - V_{BES}}{R_{B1}} + \frac{V_{CC} - V_{CES} - V_{BES}}{R_{C2}} - \frac{V_{BES}}{R_{E2}} \right) > \frac{V_{CC} - V_{CES}}{R_C}$$

ili

$$\left(\frac{V_{CC} - V_D - V_{BES} - V_{BES}}{R_{B1}} + \frac{V_{CC} - V_{CES} - V_{BES}}{R_{C2}} - \frac{V_{BES}}{R_{E2}} \right) > \frac{V_{CC} - V_{CES}}{\beta_F R_C}$$

Pa se opet jasno vidi da će i ovaj uslov biti ispunjen odnosno tranzistor T3 raditi u zasićenju.

Ostaje nerešeno pitanje, da li će prvo tranzistor T2 ili tranzistor T3 ući u zasićenje prilikom podizanja ulaznog napona. Pretpostavimo da je tranzistor T3 „tek ušao u zasićenje – na ivici je zasićenja“ odnosno da važi

$$I_{C3} = \beta_F I_{B3} = \frac{V_{CC} - V_{CE3}}{R_C} = \frac{V_{CC} - V_{CES}}{R_C}$$

Emiterska struja tranzistora T2 je

$$I_{E2} = I_{B3} + \frac{V_{BE3}}{R_{E2}} = \frac{V_{CC} - V_{CES}}{\beta_F R_C} + \frac{V_{BES}}{R_{E2}}$$

Ako tranzistor T2 nije u zasićenju

$$I_{C2} = \frac{\beta_F}{\beta_F + 1} I_{E2} = \frac{\beta_F}{\beta_F + 1} \left(\frac{V_{CC} - V_{CES}}{\beta_F R_C} + \frac{V_{BES}}{R_{E2}} \right)$$

Uslov da je on u aktivnom režimu jeste

$$V_{CE2} = V_{C2} - V_{E2} = V_{CC} - R_{C2} I_{C2} - V_{E2} > V_{CES}$$

$$V_{CC} - R_{C2} \frac{\beta_F}{\beta_F + 1} \left(\frac{V_{CC} - V_{CES}}{\beta_F R_C} + \frac{V_{BES}}{R_{E2}} \right) - V_{BES} > V_{CES}$$

ili približno uz $\frac{\beta_F}{\beta_F + 1} \approx 1$

$$V_{CC} - V_{CES} - R_{C2} \left(\frac{V_{CC} - V_{CES}}{\beta_F R_C} + \frac{V_{BES}}{R_{E2}} \right) > V_{BES}$$

$$(V_{CC} - V_{CES}) \left(1 - \frac{R_{C2}}{\beta_F R_C} \right) > V_{BES} \left(1 + \frac{R_{C2}}{R_{E2}} \right)$$

Ako nam je jedina promenjiva „spoljni otpornik“ R_C vidi se da će odgovor na ovo pitanje zavisi od njegove vrednosti. Međutim, za praktične vrednosti otpornika R_C prvo tranzistor T3 ulazi u zasićenje pa tek onda T2. Što je i logično. Ako se malo bolje pogleda kolo i uslovi emitterska struja tranzistora T2 će bit maksimalna tek kada je on u zasićenju. A sigurno je da i manja struja od te maksimalne treba da obezbedi zasićenje tranzistora T3 da bi imali dovoljan strujni kapacitet logičke nule na izlazu.

Druga „prelomna tačka“ nam je V_{IH} . Da bi nju odredili pretpostavićemo da je napon na ulazu visok i da ga smanjujemo. Znači tranzistor T1 je u inverznom aktivnom režimu, Tranzistor T2 u zasićenju kao i tranzistor T3. Smanjivanjem napona na ulazu situacija za tranzistore T2 i T3 se ne menja dok god je tranzistor T1 i inverznom aktivnom režimu. Situacija počinje da se menja tek kada tranzistor T1 iz inverznog aktivnog režima počinje da prelazi u inverzno zasićenje.

Međutim, ako je tranzistor T1 baš na prelasku iz inverznog aktivnog režima u inverzno zasićenje, neće doći do značajnog smanjenja njegove niti bazne niti kolektorske struje (inverznog smer) a samim tim i tranzistor T2 i dalje ostaje u zasićenju kao i tranzistor T3. Videli smo da prilikom podizanja napona na ulazu prvo tranzistor T3 ulazi u zasićenje pa tek onda tranzistor T2. U obrnutom smeru prvo će tranzistor T2 izaći iz zasićenja pa tek onda tranzistor T3. Kada tranzistor T2 izađe iz zasićenja i uđe u aktivan režim, male promene bazne struje će izazvati velike promene njegove emitterske struje, i stvoriti mogućnost da i

tranzistor T3 izađe iz zasićenja. Znači tu situaciju ćemo da uzmemo kao granicu za određivanje napona V_{IH} . Ostaje još pitanje u kom režimu radi tranzistor T1.

Kada tranzistor T2 izlazi iz zasićenja njegova bazna struja je

$$I_{B2} = \frac{1}{\beta_F + 1} I_{E2} = \frac{1}{\beta_F + 1} \left(\frac{V_{BE3}}{R_{E2}} + I_{B3} \right)$$

dok je bazna struja tranzistora T1

$$I_{B1} = \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{R_{B1}}$$

Emiterska struja tranzistora T1

$$I_{E1} = I_{B1} + I_{C1} = I_{B1} - I_{B2}$$

$$I_{E1} = \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{R_{B1}} - \frac{1}{\beta_F + 1} \left(\frac{V_{BE3}}{R_{E2}} + I_{B3} \right)$$

$$I_{E1} = \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{R_{B1}} - \frac{V_{BE3}}{(\beta_F + 1)R_{E2}} - \frac{I_{B3}}{(\beta_F + 1)}$$

i sada smo se malo zakopali pošto baš i ne možemo da odredimo I_{B3} . Ali skoro uvek ima izlaz. Ne može na jedna način po jednoj knturi, idenmo na neku drugu. Međutim, možda je lakše sa kolektorske strane, pošto znamo napon između kolektora i emitera tranzistora T2, na ivici zasićenja, V_{CES}

$$I_{B2} = \frac{I_C}{\beta_F} = \frac{\frac{V_{CC} - V_{CE2} - V_{BE3}}{R_{C2}}}{\beta_F} = \frac{V_{CC} - V_{CE2} - V_{BE3}}{\beta_F R_{C2}}$$

$$I_{E1} = I_{B1} + I_{C1} = I_{B1} - I_{B2}$$

$$I_{E1} = \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{R_{B1}} - \frac{V_{CC} - V_{CE2} - V_{BE3}}{\beta_F R_{C2}}$$

Izraz iz kojeg se vidi da će za date parametre

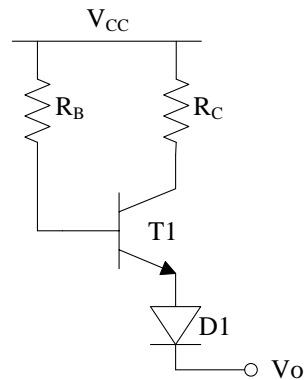
$$I_{E1} = \frac{V_{CC} - V_D - V_{BE} - V_{BES}}{R_{B1}} - \frac{V_{CC} - V_{CE2} - V_{BE3}}{\beta_F R_{C2}}$$

struja $|I_{E1}| \gg |I_{C1}|$, odnosno tranzistor T1 će raditi u direktnom zasićenju. Prema tome

$$V_I = -V_{CE1} + V_{BE2} + V_{BE3}$$

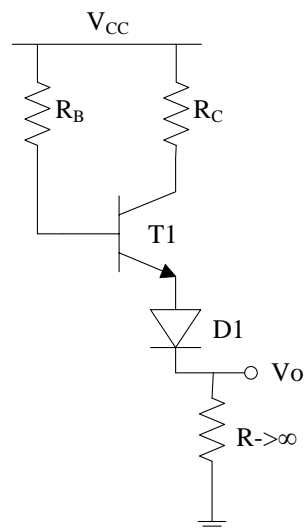
$$V_{IH} = -V_{CES} + V_{BE} + V_{BES}$$

Da razmotrimo još jednu situaciju koja će nam se pojavljivati u TTL logičkim kolima,



Pitanju su: U kom režimu radi tranzistor? Šta se nalazi na izlazu.

Odgovor na izlazu je NIŠTA ne dolazi u obzir. U stvari ni pitanje nije bilo korektno. Korektno pitanje jeste: Koliko je napon na izlazu? Da bi odgovorili na to pitanje, pretpostavićemo da se ovo kole „negde koristi“, Da je izlaz doveden negde, pa makar i na voltmeter. U tom slučaju posmatramo kolo



Ako bi pretpostavili da tranzistor ne vodi, da je njegova emitterska struja nuli, onda bi napon V_O bio jednak nuli. Kako je i bazna struja tranzistora jednaka nuli napon na bazi tranzistor bi bio jednak V_{CC} , pa je

$$V_{B1} - V_O = V_{CC} - 0 = V_{CC}$$

a kako je

$$V_{B1} - V_O = V_{BE1} + V_{D1}$$

onda bi i

$$V_{BE1} + V_{D1} = V_{CC} \gg V_{\gamma T} + V_{\gamma D}$$

pa naša pretpostavka nije tačna. Znači tranzistor radi. Kako otpornost u emitoru teži beskonačnosti

$$I_E \rightarrow 0 \Rightarrow I_C \rightarrow 0 \wedge I_C \rightarrow 0 \Rightarrow V_C \rightarrow V_{CC} \wedge V_B \rightarrow V_{CC}$$

Napon između baze i kolektora je jednak nuli, tranzistor je u aktivnom režimu. Radi sa jako malim strujama pa možemo reći da je na ivici provođenja. Isto važi i za diodu D1. U tom slučaju

$$V_0 = V_{CC} - R_B I_{B1} - V_{BE1} - V_{D1} = V_{CC} - 0 - V_{\gamma T} - V_{\gamma D} = V_{CC} - V_{\gamma T} - V_{\gamma D}$$

Međutim ako izlazna otpornost ne teži ka beskonačnosti, tranzistor sigurno radi. Ajde da pretpostavimo da radi u aktivnom režimu, i da vidimo da li zavisi i kako od izlaznog napona. I dalje važi

$$V_0 = V_{CC} - R_B I_{B1} - V_{BE1} - V_{D1}$$

Pri čemu je

$$I_{E1} = \frac{V_0}{R}$$

$$I_{B1} = \frac{I_{E1}}{\beta_F + 1}$$

$$I_{C1} = \beta_F I_{B1} = \frac{\beta_F}{\beta_F + 1} I_{E1}$$

Uslov da tranzistor radi u aktivnom režimu je

$$V_{CE1} > V_{CES}$$

$$V_{CE1} = V_{C1} - V_{E1} = (V_{CC} - R_C I_{C1}) - (V_0 + V_{D1})$$

Pošto želimo da vidimo kako tranzistor menja režim u zavisnosti od izlaznog napona, prethodne jednačine za struje koje smo napisali jesu tačne, ali nam baš neće pomoći. Opšte pravilo je da se u igru ne uvodi više parametara nego što treba (kao na primer ovde i R i V_0) i da se izrazi rade po konturama u kojima smo sigurni za struje i napone (na primer ako tranzistor radi u aktivnom režimu „ne poznajemo u startu“ njegov napon V_{CE} ali znamo odnose struja je $\beta_F I_B = I_C$, odnosno ako tranzistor radi u zasićenju ne znamo tačne odnose njegovih struja ali znamo da mu je napon CE jednak V_{CES} , pa ćemo birati takvu naponsku konturu koja obuhvata taj napon itd...)

(namerno smo krenuli „pogrešnim putem“ da vidite da uvek ima izlaza, samo je pitanje cilja koji postavljate, i da uvek može i drugačije da se dođe do istih rezultata)

Drugačiji izraz za baznu struju

$$I_{B1} = \frac{V_{CC} - V_{BE1} - V_{D1} - V_O}{R_B}$$

$$I_{C1} = \beta_F I_{B1} = \beta_F \frac{V_{CC} - V_{BE1} - V_{D1} - V_O}{R_B}$$

pa je

$$V_{CE1} = V_{C1} - V_{E1} = \left(V_{CC} - R_C \beta_F \frac{V_{CC} - V_{BE1} - V_{D1} - V_O}{R_B} \right) - (V_O + V_{D1})$$

$$V_{CE1} = V_{CC} - V_{D1} - \frac{R_C \beta_F}{R_B} (V_{CC} - V_{BE1} - V_{D1}) - V_O \left(1 - \frac{R_C \beta_F}{R_B} \right)$$

$$V_{CE1} > V_{CES}$$

$$V_{CC} - V_{D1} - \frac{R_C \beta_F}{R_B} (V_{CC} - V_{BE1} - V_{D1}) - V_O \left(1 - \frac{R_C \beta_F}{R_B} \right) > V_{CES}$$

$$\left(1 - \frac{R_C \beta_F}{R_B} \right) V_O < V_{CC} - V_{D1} - V_{CES} - \frac{R_C \beta_F}{R_B} (V_{CC} - V_{BE1} - V_{D1})$$

$$V_O < \frac{V_{BE1} - V_{CES} + (V_{CC} - V_{BE1} - V_{D1}) \left(1 - \frac{R_C \beta_F}{R_B} \right)}{1 - \frac{R_C \beta_F}{R_B}} \quad \text{za} \quad \left(1 - \frac{R_C \beta_F}{R_B} \right) > 0$$

$$V_O > \frac{V_{BE1} - V_{CES} + (V_{CC} - V_{BE1} - V_{D1}) \left(1 - \frac{R_C \beta_F}{R_B} \right)}{1 - \frac{R_C \beta_F}{R_B}} \quad \text{za} \quad \left(1 - \frac{R_C \beta_F}{R_B} \right) < 0$$

$$V_O < \frac{V_{BE1} - V_{CES}}{1 - \frac{R_C \beta_F}{R_B}} + (V_{CC} - V_{BE1} - V_{D1}) \quad \text{za} \quad R_C \beta_F < R_B$$

$$V_O > \frac{V_{BE1} - V_{CES}}{1 - \frac{R_C \beta_F}{R_B}} + (V_{CC} - V_{BE1} - V_{D1}) \quad \text{za} \quad R_C \beta_F > R_B$$

Bez ulaženja u dublju analizu vidi se da će za opsege izlaznog napona $0 \leq V_O \leq V_{CC}$ režim rada tranzistor zavistiti od odnosa otpornika R_C i R_B . Na primer ako je $R_C=0$, tranzistor će uvek raditi u aktivnom režimu. A ako je $\beta_F R_C < R_B$ praktično uvek u aktivnom režimu. A ako je $\beta_F R_C > R_B$ u zavisnosti od odnosa može da se desi da za neke napone (više napone) radi u aktivnom režimu, a za neke niže u zasićenju.

Nekada može da nam bude zgodnije da posmatramo iste ovakve zavisnosti ali u funkciji izlazne struje I_0 (koja je ovde jednaka sa strujom kroz otpornik R), i uslov za aktivan režim tranzistora koji radi u direktnom režimu

$$V_{CE1} > V_{CES}$$

$$V_{B1} = V_{CC} - R_B I_{B1} = V_{CC} - R_B \frac{I_0}{\beta_F + 1}$$

$$V_{E1} = V_{B1} - V_{BE1} = V_{CC} - R_B I_{B1} - V_{BE} = V_{CC} - R_B \frac{I_0}{\beta_F + 1} - V_{BE}$$

$$V_{C1} = V_{CC} - R_C I_{C1} = V_{CC} - R_C \beta_F \frac{I_0}{\beta_F + 1}$$

$$V_{CE1} = V_{C1} - V_{E1} = \left(V_{CC} - R_C \beta_F \frac{I_0}{\beta_F + 1} \right) - \left(V_{CC} - R_B \frac{I_0}{\beta_F + 1} - V_{BE} \right)$$

$$V_{CE1} = \frac{1}{\beta_F + 1} I_0 (R_B - \beta_F R_C) + V_{BE}$$

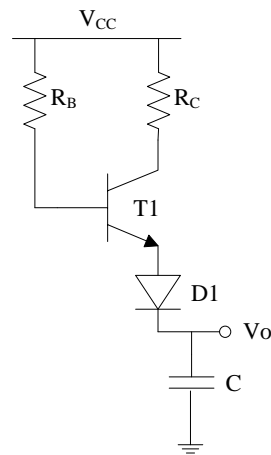
$$\frac{1}{\beta_F + 1} I_0 (R_B - \beta_F R_C) + V_{BE} > V_{CES}$$

$$I_0 < (V_{BE} - V_{CES}) \frac{\beta_F + 1}{\beta_F R_C - R_B} \quad \text{za } \beta_F R_C > R_B$$

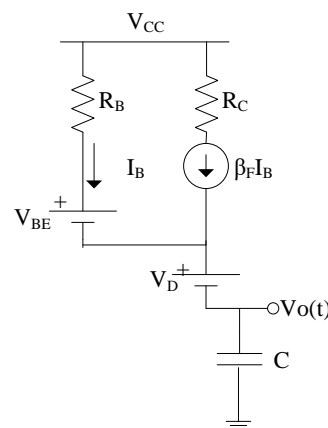
$$I_0 > (V_{BE} - V_{CES}) \frac{\beta_F + 1}{\beta_F R_C - R_B} \quad \text{za } \beta_F R_C < R_B$$

i ovde je na primer vidljiv uslov između $\beta_F R_C$ i R_B . Na primer ako je $\beta_F R_C > R_B$ za neke struje (male) će raditi u aktivnom režimu za neke (velike) u zasićenju. A ako je $\beta_F R_C < R_B$ uvek će raditi u aktivnom režimu.

Da vidimo i šta se dešava u dinamičkom režimu kada ovakva konfiguracija puni izlaznu kapacitivnost, koja je na početku procesa bila prazna.



Na osnovu prethodnih rezultata ako je $\beta_F R_C < R_B$ tranzistor će za sve vreme punjenja kapacitivnosti raditi u aktivnom režimu pa je model punjenja kapacitivnosti



Vremenska konstanta punjenja je

$$\tau = C * \frac{R_B}{\beta_F + 1}$$

Pošto je izlazni napon istovremeno i napon na kondenzatoru i ako smo počeli da posmatramo pojavu u trenutku t_0 kada je napon na kondenzatoru bio nizak V_L onda je

$$v_o(t_0^+) = v_c(t_0^+) = v_c(t_0^-) = V_L$$

Napon u beskonačnosti po modelu dobija se kada je struja kroz kondenzator jednaka nuli što znači da je u beskonačnosti $I_B=0$, pa je

$$v_o(\infty) = V_{CC} - V_{BE} - V_D$$

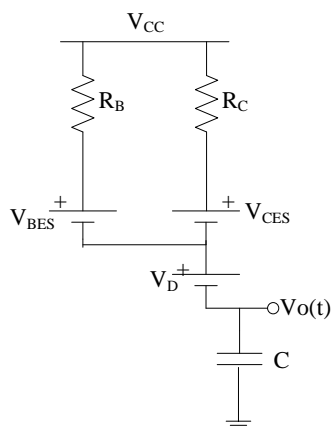
Konačan izraz je već dobro poznati

$$v_o(t) = v_o(\infty) + (v_o(t_0^+) - v_o(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

iz kojeg možemo dobiti i vreme uspona i kašnjenje na poznat način. U realnosti kako napon bude rastao i kada se približi granici $v_o(\infty) = V_{CC} - V_{BE} - V_D$ tranzistor će prelaziti u režim da radi na ivici provođenja pa će stvarni napon na izlazu kada se završe prelazni procesi biti $V_O = V_{CC} - V_{VT} - V_{VD}$ onako kako smo već ranije našli. Međutim taj deo nam ne treba ni za proračun kašnjenja niti za vreme uspona. Taj vremenski interval je kratak a i naponska razlika je mala. Nećemo napraviti velike greška ni ako smatramo da je promena od V_L do $(V_{CC} - V_{BE} - V_D)$, odnosno od V_L do $(V_{CC} - V_{VT} - V_{VD})$. Kao i uvek istina je „negde na sredini“. U prvom slučaju odmah možemo da kažemo $t_{pLH} = 0.69\tau$, $t_r = 2.2\tau$, dok bi u drugom slučaju morali da računamo.

Međutim ako je $\beta_F R_C > R_B$ tranzistor će za niske napone na izlazu raditi u zasićenju, a onda će pri višim naponima preći u aktivan režim. Da bi videli ceo proces moramo uzeti u obzir oba režima rada tranzistora za vreme punjenja kapacitivnosti.

Znači za niske izlazne napone tranzistor je u zasićenju pa je model



Vremenska konstanta punjenja je

$$\tau = C * (R_B \parallel R_C)$$

Pošto je izlazni napon istovremeno i napon na kondenzatoru i ako smo počeli da posmatramo pojavu u trenutku t_0 kada je napon na kondenzatoru bio nizak V_L onda je

$$v_o(t_0^+) = v_c(t_0^+) = v_c(t_0^-) = V_L$$

Napon u beskonačnosti po modelu dobija se kada je struja kroz kondenzator jednaka nuli što znači da je u beskonačnosti $i_{RB} = -i_{RC}$, odnosno

$$v_{RB}(t) + V_{BES} - V_{CES} - v_{RC}(t) = 0$$

$$R_B i_{RB}(t) + V_{BES} - V_{CES} - R_C i_{RC}(t) = 0$$

$$i_{RB}(\infty) + i_{RC}(\infty) = 0$$

$$i_{RC}(\infty) = \frac{V_{BES} - V_{CES}}{R_B + R_C}$$

$$v_o(\infty) = V_{CC} - R_C i_{RC}(\infty) - V_{CES} - V_D = V_{CC} - V_{CES} - V_D - R_C \frac{V_{BES} - V_{CES}}{R_B + R_C}$$

Izraz za izlazni napon je

$$v_o(t) = v_o(\infty) + (v_o(t_0^+) - v_o(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

Pri porastu izlaznog napona u nekom trenutku t_1 tranzistor će iz zasićenja preći u aktivan režim kao što smo prethodno videli. Ostaje pitanje kako da odredimo taj trenutak. Kao gotovo uvek u elektronici do istih rezultata možemo doći na različite načine, odnosno posmatrajući kolo iz „različitih uglova“

Prvi način:

Praktično već imamo sve elemente, a videli smo u elementima analize da imamo to pravo, da napišemo vremenske oblike struja baze i kolektora

$$i_B(t) = i_{RB}(t) = i_B(\infty) + (i_B(t_0^+) - i_B(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

$$i_C(t) = i_{RC}(t) = i_C(\infty) + (i_C(t_0^+) - i_C(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$

Vremensku konstantu smo već našli

$$\tau_1 = C * (R_B \parallel R_C)$$

kao i

$$i_{RC}(\infty) = i_C(\infty) = \frac{V_{BES} - V_{CES}}{R_B + R_C}$$

$$i_{RB}(\infty) = i_B(\infty) = -i_{RC}(\infty) = -\frac{V_{BES} - V_{CES}}{R_B + R_C}$$

dok su struje

$$i_C(t_0^+) = \frac{V_{CC} - V_{CES} - V_D - V_L}{R_C}$$

$$i_B(t_0^+) = \frac{V_{CC} - V_{BES} - V_D - V_L}{R_B}$$

U trenutku t_1 tranzistor izlazi iz zasićenja odnosno važi

$$\beta_F i_B(t_1) = i_C(t_1)$$

$$\beta_F \left(i_B(\infty) + (i_B(t_0^+) - i_B(\infty))e^{-\frac{t_1-t_0}{\tau_1}} \right) = i_C(\infty) + (i_C(t_0^+) - i_C(\infty))e^{-\frac{t_1-t_0}{\tau_1}}$$

što ćemo napisati u malo drugačijem obliku

$$(\beta_F i_B(\infty) - i_C(\infty)) + \left((\beta_F i_B(t_0^+) - i_C(t_0^+)) - (\beta_F i_B(\infty) - i_C(\infty)) \right) e^{-\frac{t_1 - t_0}{\tau_1}} = 0$$

kao da smo imali oblik parametra

$$x(t) = x(\infty) + (x(t_0^+) - x(\infty)) e^{-\frac{t - t_0}{\tau_1}}$$

gde je $x(t) = \beta_F i_B(t) - i_C(t)$ i gledali trenutak t_1 kada je $x(t_1) = 0$

U tom slučaju znamo

$$t_1 = t_0 + \tau_1 \ln \left(\frac{x(t_0^+) - x(\infty)}{x(t_1) - x(\infty)} \right)$$

$$t_1 = t_0 + \tau_1 \ln \left(\frac{x(t_0^+) - x(\infty)}{0 - x(\infty)} \right) = t_0 + \tau_1 \ln \left(\frac{x(\infty) - x(t_0^+)}{x(\infty)} \right)$$

$$t_1 = t_0 + \tau_1 \ln \left(1 - \frac{i_C(t_0^+) - \beta_F i_B(t_0^+)}{i_C(\infty) - \beta_F i_B(\infty)} \right)$$

$$i_C(t_0^+) - \beta_F i_B(t_0^+) = \frac{V_{CC} - V_{CES} - V_D - V_L}{R_C} - \beta_F \frac{V_{CC} - V_{BES} - V_D - V_L}{R_B}$$

$$i_C(t_0^+) - \beta_F i_B(t_0^+) = \frac{V_{CC} - V_{CES} - V_D - V_L - V_{BES} + V_{BES}}{R_C} - \beta_F \frac{V_{CC} - V_{BES} - V_D - V_L}{R_B}$$

$$i_C(t_0^+) - \beta_F i_B(t_0^+) = (V_{CC} - V_{BES} - V_D - V_L) \left(\frac{1}{R_C} - \frac{\beta_F}{R_B} \right) + \frac{V_{BES} - V_{CES}}{R_C}$$

$$i_C(t_0^+) - \beta_F i_B(t_0^+) = (V_{CC} - V_{BES} - V_D - V_L) \left(\frac{R_B - \beta_F R_C}{R_C R_B} \right) + \frac{V_{BES} - V_{CES}}{R_C}$$

$$i_C(\infty) - \beta_F i_B(\infty) = \frac{V_{BES} - V_{CES}}{R_B + R_C} + \beta_F \frac{V_{BES} - V_{CES}}{R_B + R_C} = (1 + \beta_F) \frac{V_{BES} - V_{CES}}{R_B + R_C}$$

$$t_1 = t_0 + \tau_1 \ln \left(1 - \frac{(V_{CC} - V_{BES} - V_D - V_L) \left(\frac{R_B - \beta_F R_C}{R_C R_B} \right) + \frac{V_{BES} - V_{CES}}{R_C}}{(1 + \beta_F) \frac{V_{BES} - V_{CES}}{R_B + R_C}} \right)$$

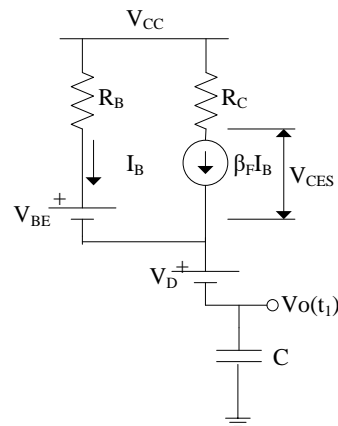
$$t_1 = t_0 + \tau_1 \ln \left(1 + \frac{(V_{CC} - V_{BES} - V_D - V_L) \left(\frac{\beta_F R_C - R_B}{R_C R_B} \right) - \frac{V_{BES} - V_{CES}}{R_C}}{(1 + \beta_F) \frac{V_{BES} - V_{CES}}{R_B + R_C}} \right)$$

Drugi način:

Prilikom prelaska iz zasićenja u aktivan režim napon između CE tranzistora će biti V_{CES} ali će važiti

$$\beta_F i_B(t_1) = i_C(t_1)$$

Znači



Da vidimo koliko je napon na izlazu u tom trenutku.

Znamo po konturi otpornika R_B i R_C

$$R_B i_B(t_1) + V_{BE} = R_C i_C(t_1) + V_{CES} = R_C \beta_F i_B(t_1) + V_{CES}$$

$$i_B(t_1) = \frac{V_{BE} - V_{CES}}{R_C \beta_F - R_B}$$

Pa je izlazni napon u trenutku t_1

$$v_o(t_1) = V_{CC} - R_B i_B(t_1) - V_{BE} - V_D = V_{CC} - R_B \frac{V_{BE} - V_{CES}}{R_C \beta_F - R_B} - V_{BE} - V_D$$

Već smo našli za ovakvu konfiguraciju

$$v_o(t_0^+) = V_L$$

$$v_o(\infty) = V_{CC} - V_{BE} - V_D$$

ali obratite pažnju

$$\tau_2 = C * \frac{R_B}{\beta_F + 1}$$

A znamo da je

$$t_1 = t_0 + \tau_2 \ln \left(\frac{v(t_0^+) - v(\infty)}{v(t_1) - v(\infty)} \right)$$

i našli smo izraz za izlazni napon pa je

$$t_1 = t_0 + \tau_2 \ln \left(\frac{V_L - (V_{CC} - V_{BE} - V_D)}{V_{CC} - R_B \frac{V_{BE} - V_{CES}}{R_C \beta_F - R_B} - V_{BE} - V_D - (V_{CC} - V_{BE} - V_D)} \right)$$

$$t_1 = t_0 + \tau_2 \ln \left(\frac{V_L - (V_{CC} - V_{BE} - V_D)}{-R_B \frac{V_{BE} - V_{CES}}{R_C \beta_F - R_B}} \right)$$

$$t_1 = t_0 + \tau_2 \ln \left(\frac{R_C \beta_F - R_B}{R_B} * \frac{V_{CC} - V_{BE} - V_D - V_L}{V_{BE} - V_{CES}} \right)$$

$$t_1 = t_0 + \tau_2 \ln \left(1 + \frac{(V_{CC} - V_{BE} - V_D - V_L) \frac{R_C \beta_F - R_B}{R_B} - (V_{BE} - V_{CES})}{V_{BE} - V_{CES}} \right)$$

Što po obliku liči na izraz iz prvog načina.

$$t_1 = t_0 + \tau_1 \ln \left(1 + \frac{(V_{CC} - V_{BES} - V_D - V_L) \left(\frac{\beta_F R_C - R_B}{R_C R_B} \right) - \frac{V_{BES} - V_{CES}}{R_C}}{(1 + \beta_F) \frac{V_{BES} - V_{CES}}{R_B + R_C}} \right)$$

Nisu i ne mogu biti identični izrazi unutar logaritma zbog različitih vremenskih konstanti. Ali bi mogli znajući da je $\ln(1+x) \approx x$ za malo x : (Zbog ovoga je i „nameštan“ oblik izraza pod logaritmom)

Prvi način:

$$t_1 \approx t_0 + \tau_1 \frac{(V_{CC} - V_{BES} - V_D - V_L) \left(\frac{\beta_F R_C - R_B}{R_C R_B} \right) - \frac{V_{BES} - V_{CES}}{R_C}}{(1 + \beta_F) \frac{V_{BES} - V_{CES}}{R_B + R_C}}$$

$$t_1 \approx t_0 + C * (R_B \parallel R_C) \frac{(V_{CC} - V_{BES} - V_D - V_L) \left(\frac{\beta_F R_C - R_B}{R_C R_B} \right) - \frac{V_{BES} - V_{CES}}{R_C}}{(1 + \beta_F) \frac{V_{BES} - V_{CES}}{R_B + R_C}}$$

$$t_1 \approx t_0 + C \frac{(V_{CC} - V_{BES} - V_D - V_L)(\beta_F R_C - R_B) - R_B(V_{BES} - V_{CES})}{(1 + \beta_F)(V_{BES} - V_{CES})}$$

Drugi način:

$$t_1 \approx t_0 + \tau_2 \frac{(V_{CC} - V_{BE} - V_D - V_L) \frac{R_C \beta_F - R_B}{R_B} - (V_{BE} - V_{CES})}{V_{BE} - V_{CES}}$$

$$t_1 \approx t_0 + C * \frac{R_B}{\beta_F + 1} \frac{(V_{CC} - V_{BE} - V_D - V_L) \frac{R_C \beta_F - R_B}{R_B} - (V_{BE} - V_{CES})}{V_{BE} - V_{CES}}$$

$$t_1 \approx t_0 + C \frac{(V_{CC} - V_{BE} - V_D - V_L)(R_C \beta_F - R_B) - R_B(V_{BE} - V_{CES})}{(1 + \beta_F)(V_{BES} - V_{CES})}$$

Razlika koja se vidi je i da je u jednom izrazu V_{BE} a u drugom V_{BES} . To je posledica naših diskretnih modela tranzistora i diskretnog prelaza između jednog i drugog napona, a krenuli smo od drugačijih početnih uslova režima rada tranzistora.

Digresija

Normalno, ovoliko dugo igranje sa opštim brojevima, i sređivanje izraza na ispitu ne dolazi u obzir. Odavno bi se zamenili sa konkretnim vrednostima. Na ispitu drugi način

Znamo po konturi otpornika R_B i R_C

PISATI

$$R_B i_B(t_1) + V_{BE} = R_C i_C(t_1) + V_{CES} = R_C \beta_F i_B(t_1) + V_{CES}$$

$$i_B(t_1) = \frac{V_{BE} - V_{CES}}{R_C \beta_F - R_B}$$

Pa je izlazni napon u trenutku t_1

$$v_o(t_1) = V_{CC} - R_B i_B(t_1) - V_{BE} - V_D = V_{CC} - R_B \frac{V_{BE} - V_{CES}}{R_C \beta_F - R_B} - V_{BE} - V_D$$

IZRAČUNATI $v_o(t_1) = ?$

Već smo našli za ovakvu konfiguraciju

PISATI

$$v_o(t_0^+) = V_L$$

$$v_o(\infty) = V_{CC} - V_{BE} - V_D$$

IZRAČUNATI

$$v_o(t_0^+) = ?$$

$$v_o(\infty) = ?$$

ali obratite pažnju

PISATI

$$\tau_2 = C * \frac{R_B}{\beta_F + 1}$$

IZRAČUNATI $\tau_2 = ?$

A znamo da je

PISATI

$$t_1 = t_0 + \tau_2 \ln \left(\frac{v(t_0^+) - v(\infty)}{v(t_1) - v(\infty)} \right)$$

IZRAČUNATI $t_1 = ?$ zamenom brojnih vrednosti

Oznake i tipovi TTL logičkih kola

Nagli razvoj digitalne elektronike i logičkih kola je počeo 1972 godine pojavom integrisanih TTL logičkih kola čiji je prvi predstavnik standardno TTL logičko kolo. Postalo je moguće realizovati i složene digitalne sisteme sa relativno velikim brzinama rada. Jako brzo su se pojavile i druge familije TTL logičkih kola: sa smanjenom potrošnom, sa povećanom brzinom rada, itd. Čak je i u prvim računarima bila dominantna TTL logika. Bez obzira na veliku brzinu rada, njihova velika mana zbog koje su polako nestajali sa scene realizacije složenih digitalnih sistema je velika potrošnja. U startu je uvedena standardizacija pakovanja, kao i označavanja logičkih kola koje su se držali svi proizvođači. Znači za korisnika je bio „svejedno“ da li će logičko kolo 74LS00 kupiti od jednog ili drugog proizvođača.

Standardna oznaka je započinjala brojevima

1. 74 što je označavalo komercijalne komponente
2. 54 komponente predviđene za vojne primene

Zatim su sledile slovne oznake koje su označavale familiju logičkih kola od koji su najznačajnije

1. Bez oznake – standardno TTL
2. L – Low power TTL
3. H – High power TTL
4. S – Schottky TTL
5. LS - Low power Schottky TTL
6. AS – Advanced Schottky TTL
7. ALS - Advanced low power Schottky TTL
8. F – Fast - oznaka koju je koristio proizvođač Fairchild a suštinski je ALS

Naredne oznake su od dve do pet cifara i određuju tip kola. Suštinski nema „suvisle logike“ u dekodovanju ovih cifara. Treba pogledati u katalogu proizvođača koji je to tip kola. U tom smislu spominjana oznaka 74LS00 znači

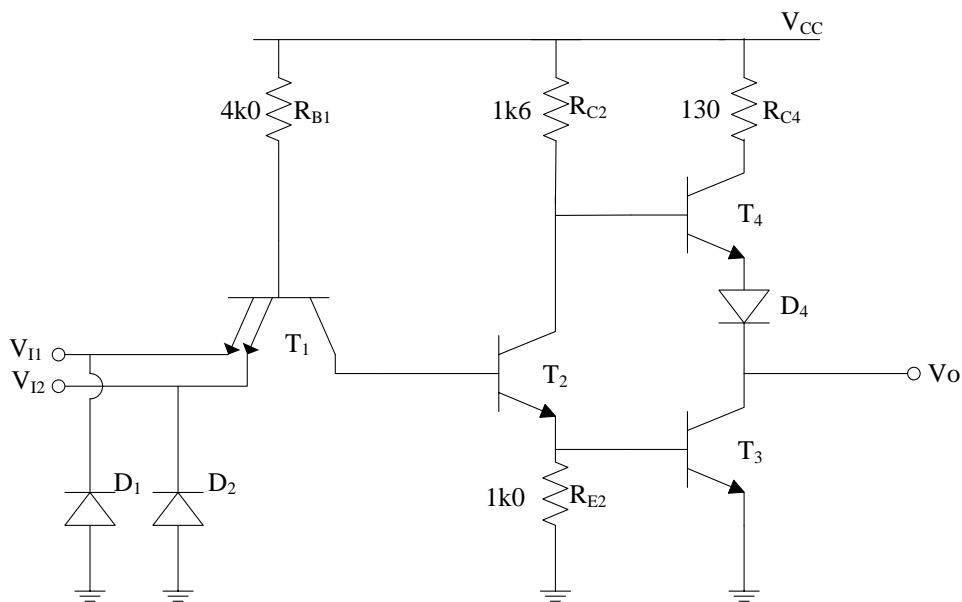
1. TTL logičko kolo za komercijalnu upotrebu
2. LS – tehnologija je Low power Schottky
3. 00 – u pakovanju se nalazi četiri dvoulazna NI kola (pročitano iz kataloga)

ili 54F32

1. TTL logičko kolo za vojne primene
2. Tehnologija je Fast i verovatno je kolo proizvođača Fairchild, odgovara ALS tehnologiji.
3. 32 – u pakovanju se nalazi četiri dvoulazna ILI kola

Ispred i iza ovih oznaka proizvođači obično dodaju oznake koje su karakteristične za njih i u katalogima treba proveriti šta konkretno znače.

Standardno TTL logičko kolo



Standardno TTL kolo

Analizirajući kolo sa slike uočavaju se dve „nove“ stvari

1. Diode D1 i D2 na ulazu kola. One su obavezni deo na ulazu u TTL logička kola, i služe da štite ulaz od napona koji su manji od napona mase. Videli smo da ta situacija može da se pojavi kada imamo diferencijatorski efekat u toku signala. Veliki negativan napon na bio kojem ulazu bi rezultovao u velikoj struji kroz tranzistor T1 koji tada radi u direktnom zasićenju i čija je struja direktno proporcionalna ulaznom

naponu, Došlo bi prevelike disipacije na ulaznom delu kola pa i do njegovog „pregorevanja“. U toku normalnih režima rada te diode nemaju nikakvu funkciju tako da ćemo ih u našoj analizi „ignorirati“.

2. Tranzistor T4, otpornik R_{C4} i dioda D4, Ta konfiguracija naziva se totempol (totem pole) konfiguracijom i cilj je da zamene otporniku u kolektoru izlaznog tranzistora. Videli smo da je bilo „problema“ sa tim otpornikom. Treba da bude mali da bi strujni kapacitet logičke jedinice bio velik, a treba da bude velik da bi na karakteristici imali što veće pojačanje itd. Ideja je da tranzistor T4 radi samo kada bi trebala na izlazu da bude logička jedinica i da obezbeđuje veliki strujni kapacitet. A da je isključen kada bi na izlazu trebala da bude logička nula i da ne smeta strujnom kapacitetu logičke nule. Suštinski to obezbeđuje tranzistor T2 i to je ranije spomenuta njegova druga uloga.

Statička karakteristika standardnog TTL logičkog kola

Nećemo ponavljati izvođenja niti dokaze za režime rada tranzistora koja smo već izveli. Koristićemo ono što smo već pokazali i dokazali. Samo tamo gde se pojave „nove“ stvari ćemo detaljnije obrađivati.

Ako se na oba ulaza nalaze niski naponi, tranzistor T1 će raditi u zakočenju. T2 i T3 će takođe biti zakočeni. Totempol konfiguracija ima uslove za provođenje kao što smo ranije videli i na izlazu je visok napon. Ako je na bilo kojem ulazu niski napon situacija se neće promeniti pošto je tranzistor T1 i dalje u zasićenju. Ako su na oba ulaza visoki naponski nivoi tranzistor T1 će raditi u inverznom aktivnom režimu. Tranzistor T2 će biti u zasićenju kao i tranzistor T3. Na izlazu je nizak naponski nivo. Totem pol konfiguracija će biti zakočena. Ovo je novo pa da proverimo tu situaciju

$$V_{B4} = V_{CE2} + V_{BE3} = V_{CES} + V_{BES}$$

$$V_O = V_{CE3} = V_{CES}$$

Da bi totem pol konfiguracija vodila potrebno je da

$$V_{BE4} + V_{D4} \geq V_{\gamma T} + V_{\gamma D}$$

a kako je

$$V_{BE4} + V_{D4} = V_{B4} - V_O = V_{CES} + V_{BES} - V_{CES} = V_{BES} < V_{\gamma T} + V_{\gamma D}$$

što znači da je tačna tvrdnja da je totempol konfiguracija zakočena. Ako ste do sada postavljali pitanje „šta će ona dioda u emitoru tranzistora totem pol konfiguracije“ ovde je odgovor. Dioda D4 služi da bi obezbedila da tranzistor T4 kada treba da bude zakočen i bude zakočen.

Logičko kolo na osnovu prethodne analize predstavlja dvoulazno NI logičko kolo.

Shodno tome statičku karakteristiku za ovo dvoulazno kolo ćemo analizirati smatrajući da je jedan ulaz na visokom nivou V_{CC} da taj ulaz „ne smeta“, a ulazni napon ćemo menjati na drugom ulazu na primer $V_{II}=V_I$.

Kao što smo videli za $V_I=0$, T1 – direktno zasićenje, T2 i T3 zakočeni, vodi totempol konfiguracija. Kolo je neopterećeno pa je izlazni napon

$$V_O = V_{CC} - V_{RC2} - V_{BE4} - V_{D4}$$

$$V_O = V_{CC} - 0 - V_{\gamma T} - V_{\gamma D} = V_{CC} - V_{\gamma T} - V_{\gamma D}$$

Ova situacija se neće promeniti dok god je tranzistor T2 zakočen, kada ulazni napon postane jednak

$$V_I = -V_{CE1} + V_{BE2} + V_{BE3} = -V_{CES} + V_{\gamma T} + 0 = -V_{CES} + V_{\gamma T}$$

provešće tranzistor T2 dok će T3 i dalje biti zakočen ($V_{BE3} = R_{E2}I_{E2} = 0$). Sada nam se pojavljuje situaciju koju nismo imali do sada, a sve zbog totem pol konfiguracije. Kada tranzistor T2 počne da vodi sa „malom“ emitorskom strujom, nedovoljnom da provede T3, pojavljuje se i njegova kolektorska struja. Tranzistor T2 je u aktivnom režimu to smo izveli. A onda u jednačini za izlazni napon

$$V_O = V_{CC} - V_{RC2} - V_{BE4} - V_{D4}$$

V_{RC2} više nije nula. Da bi videli koliki je taj napon

$$V_{RC2} = R_{C2}I_{C2} = R_{C2} \frac{\beta_F}{\beta_F + 1} I_{E2}$$

$$I_{E2} = \frac{V_{E2}}{R_{E2}} = \frac{V_I + V_{CE1} - V_{BE2}}{R_{E2}}$$

$$V_{RC2} = R_{C2}I_{C2} = R_{C2} \frac{\beta_F}{\beta_F + 1} \frac{V_I + V_{CE1} - V_{BE2}}{R_{E2}}$$

$$V_O = V_{CC} - V_{RC2} - V_{BE4} - V_{D4} = V_{CC} - \frac{R_{C2}}{R_{E2}} \frac{\beta_F}{\beta_F + 1} (V_I + V_{CES} - V_{BE}) - V_{\gamma T} - V_{\gamma D}$$

Izlazni napon linearno opada kako raste ulazni napon. Trebaće nam pa da izračunamo pojačanje u toj oblasti

$$a = \frac{dV_O}{dV_I} = - \frac{R_{C2}}{R_{E2}} \frac{\beta_F}{\beta_F + 1}$$

Za date brojne vrednosti

$$a \approx -1.6$$

Situacija u kolu se neće promeniti dok god je tranzistor T3 zakočen.

Kada ulazni napon postane dovoljno velik provešće i tranzistor T3. To se dešava kada ulazni napon postane jednak

$$V_I = -V_{CE1} + V_{BE2} + V_{BE3} = -V_{CES} + V_{BE} + V_{VT}$$

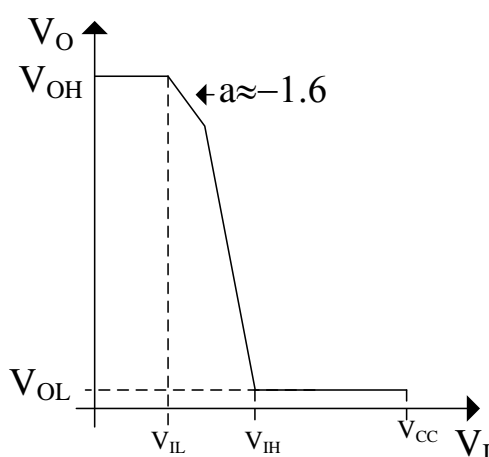
Treba uočiti da kada provede tranzistor T3, tranzistor T2 je u aktivnom režimu, napon na njegovom kolektoru je visok i totempol konfiguracija vodi.

Pri daljem povećanju ulaznog napona T3 će ući u aktivan režim. Ali opet i T2 je u aktivnom režimu i dalje je napon na njegovom kolektoru visok i totem pol konfiguracija vodi. Postoji struja i kroz tranzistor T4 i kroz tranzistor T3 koji je u aktivnom režimu. Ta struja se naziva strujom kratkog spoja I_{SC} (short current) i gotovo je neizbežna kod svih logičkih kola sa sličnom konfiguracijom na izlazu. Ona naročito predstavlja problem kada je vreme uspona signala na ulazu dugo. Tada kolo „dug“ vremenski interval provodi u ovom režimu. To je struja koja „direktno“ iz V_{CC} teče ka masi i izaziva veliku disipaciju u izlaznom kolu. Da bi se smanjila ova struja tranzistor T4 se podešava otpornicima R_{C2} i R_{C4} tako da za „velike“ struje ide u zasićenje $\beta_F R_{C4} > R_{C2}$ i to je razlog za to što postoji otpornik R_{C4} , mada bi videli da bi u nekim situacijama totempol radio „bolje“ bez njega, na primer za strujne kapacitete ili kao što smo videli za t_{pLH} kada tranzistor T4 radi uvek u aktivnom režimu.

Prilikom daljeg porasta ulaznog napona tranzistor T3 će ući u zasićenje i neće biti više promena napona na izlazu. Međutim tranzistor T2 je i dalje u aktivnom režimu i dalje će voditi totem pol konfiguracija. Tek kada i tranzistor T2 uđe u zasićenje (odnosno „samo mammo ranije“) će se stvoriti uslovi da totempol konfiguracija ne radi. Znači napon pri kojem tranzistor T3 ulazi u zasićenje i nema više promena izlaznog napona je

$$V_I = -V_{CE1} + V_{BE2} + V_{BE3} = -V_{CES} + V_{BE} + V_{BES}$$

Na osnovu prethodnih analiza karakteristika prenosa standardnog TTL logičkog kola je



Kao što smo videli karakteristika će imati dve „prelomne“ tačke. Kako je odmah posle prve pojačanje veće od jedna (po apsolutnoj vrednosti) prvu tačku ćemo proglasiti za V_{IL} .

Prema prethodnoj analizi

$$V_{OH} = V_{CC} - V_{BE4} + V_{D4} = V_{CC} - V_{\gamma T} - V_D$$

$$V_{OL} = V_{CE3} = V_{CES}$$

$$V_{IH} = -V_{CE1} + V_{BE2} + V_{BE3} = -V_{CES} + V_{BE} + V_{BES}$$

$$V_{IL} = -V_{CE1} + V_{BE2} + V_{BE3} = -V_{CES} + V_{\gamma T} + 0 = -V_{CES} + V_{\gamma T}$$

Margine šuma za višestruke izvore

$$NM_{HMS} = V_{OH} - V_{IH} = V_{CC} - V_{\gamma T} - V_D + V_{CES} - V_{BE} - V_{BES}$$

$$NM_{LMS} = V_{IL} - V_{OL} = -V_{CES} + V_{\gamma T} - V_{CES}$$

Kao što se vidi margina šuma logičke nule je i dalje mnogo manja od margine šuma logičke jedinice. Međutim to nije predstavljalo veliki problem za korišćenje TTL logičkih kola pošto je strujni kapacitet logičke nule, kao što ćemo videzi, velik. To znači da bi bila potreban velika energija smetnji da promeni napon logičke nule koju neko kolo daje na izlazu.

Strujni kapaciteti standardnog TTL logičkog kola

Da bi odredili I_{IL} smatraćemo da se na ulazu nalazi napon od V_{OL} do V_{IL} . U tom slučaju tranzistor T1 je u zasićenju. Uočiti da će najgori slučaj kod višeulaznih kola biti kada je samo na jednom ulazu logička nula. Kada sva struja otpornika R_{B1} prolazi kroz jedan emiter, Tada je ulazna struja

$$I_I = -\frac{V_{CC} - V_{BE1} - V_I}{R_{B1}} = -\frac{V_{CC} - V_{BES} - V_I}{R_{B1}}$$

Najgori slučaj je kada je na ulazu V_{OL} , međutim videli smo da na primer kod prelaznih režima taj napon može da bude i manji. Zbog toga sa punim pravom smemo smatrati da je najgori slučaj kada je ulazni napon jednak 0, pa je

$$I_{I_{max}} = -\frac{V_{CC} - V_{BES} - V_{I_{min}}}{R_{B1}} = -\frac{V_{CC} - V_{BES} - 0}{R_{B1}} = -\frac{V_{CC} - V_{BES}}{R_{B1}}$$

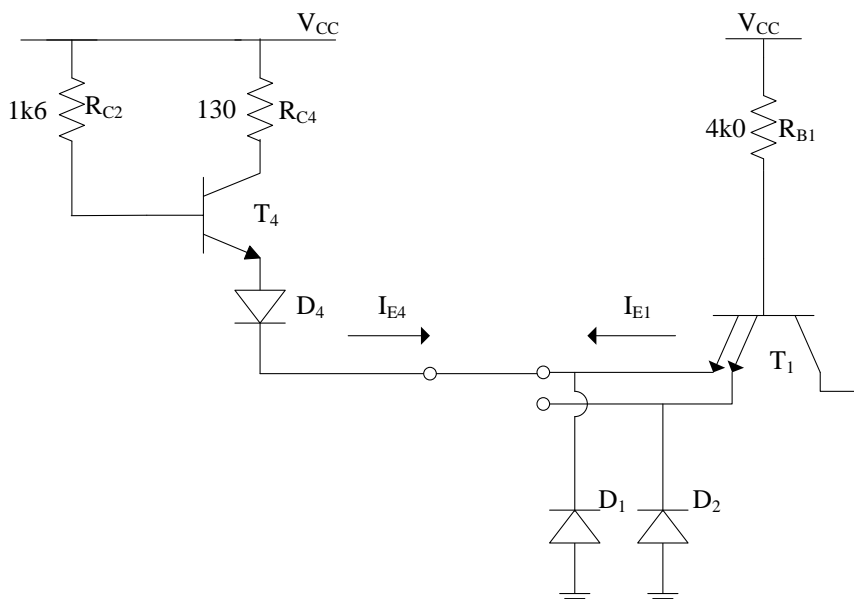
$$I_{IL} = -\frac{V_{CC} - V_{BES}}{R_{BE1}}$$

Na ispitu nećete pogrešiti ni ako za minimalan napon stavite V_{OL} odnosno dobijete

$$I_{IL} = -\frac{V_{CC} - V_{BES} - V_{OL}}{R_{B1}}$$

Razlike su male, a ovaj drugi izraz je „akademskiji“.

Da bi odredili I_{IH} smatraćemo da se na ulazu nalazi napon od V_{IH} do V_{OH} . U tom slučaju tranzistor T1 je ili u zasićenu ili u inverznom zasićenju ili u inverznom aktivnom režimu. Uočiti da je potrebno da svi ulazi budu na visokom nivou. Takođe treba uočiti da prilikom spreznja u lanac istih logičkih kola prethodno logičko kolo koje je na svom izlazu dalo logičku jedinicu „daje“ struju (izlazna struja je negativna po referentnom smeru). A logičko kolo koje prihvata taj napon ako pretpostavimo da je ulazni tranzistor u zasićenju takođe „daje“ struju (izlazna struja je negativna). Znači u realnosti prilikom ovakve sprege ulazni tranzistor neće raditi u zasićenju.



Radiće ili u inverznom zasićenju ili u inverznom aktivnom režimu. Ulazna struja je veća kada radi u inverznom aktivnom režimu pa je

$$I_I = \beta_R \frac{I_{B1}}{2} = \frac{\beta_R}{2} \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{R_{B1}}$$

I tranzistor T2 i T3 su tada u zasićenju. Kako su oba emitera na visokom nivou bazna struja se deli na ta dva tranzistora i zato se pojavljuje izraz $\frac{I_{B1}}{2}$. Da ih je bilo n bilo bi $\frac{I_{B1}}{n}$. Znači

$$I_{IH} = \frac{\beta_R}{2} \frac{V_{CC} - V_D - V_{BES} - V_{BES}}{R_{B1}}$$

Mada ćemo mi izračunati po definiciji faktor grananja za logičku jedinicu u situaciji spajanja logičkih kola iz iste familije standardnih TTL logičkih kola on će biti beskonačan. Uočite da povećanjem broja ulaza na izlaz prethodnog kola napon u tački spajanja pada. Pri nekoj struji I_{E4} taj napon će dovoljno pasti da ulazni tranzistori iz inverznog aktivnog režima pređu u zasićenje. Time će i biti limitirana struja I_{E4} . Dodavanje novog ulaza će samo značiti da će se njegova ulazna struja pojaviti na račun ulaznih struja već priključenih kola. Tranzistori su u inverznom zasićenju i principski ta ulazna struja može biti i nula. Znači koliko god ulaza dodali neće se ništa promeniti. Napon u tački spajanja praktično ostaje konstantan. Režimi

rada tranzistora ostaju. Prema tome zaista u realnosti faktor grananja logičke jedinice jeste beskonačan. Međutim u stvarnosti nismo uzimali u obzir i inverzne struje curenja zaštitnih dioda kao i neke druge parazitne struje, tako da ipak baš i nije beskonačan.

Da bi odredili I_{OH} smatraćemo da je na izlazu napon logičke jedinice. Radi totempol konfiguracija, zakočen je tranzistor T2 i T3. Za totempol konfiguracij uvaži uslov

$$\beta_F R_{C4} > R_{C2}$$

tako da će tranzistor T4 raditi u zasićenju za relativno velike struje na izlazu.

$$I_{B4} = \frac{V_{CC} - V_{BE4} - V_{D4} - V_H}{R_{C2}}$$

$$I_{C4} = \frac{V_{CC} - V_{CE4} - V_{D4} - V_H}{R_{C4}}$$

$$I_O = -(I_{B4} + I_{C4}) = -\left(\frac{V_{CC} - V_{BE4} - V_{D4} - V_H}{R_{C2}} + \frac{V_{CC} - V_{BE4} - V_{D4} - V_H}{R_{C2}}\right)$$

I pod pretpostavkom da napon na izlazu sme da padne maksimalno do V_{OHmin}

$$I_{OH} = -\left(\frac{V_{CC} - V_{BES} - V_D - V_{OHmin}}{R_{C2}} + \frac{V_{CC} - V_{BES} - V_D - V_{OHmin}}{R_{C2}}\right)$$

Da bi odredili I_{OL} smatraćemo da je na izlazu napon logičke nule. Totempol konfiguracija je zakočena, Tranzistor T2 je u zasićenju, tranzistor T1 ili u inverznom aktivnom, ili u inverznom zasićenju ili u direktnom zasićenju (posle ćemo da vidimo koji je najgori slučaj). Tranzistor T3 u najgorem slučaju treba da ostane u zasićenju. Njegova kolektorska struja jednaka je izlaznoj struji.

$$\beta_F I_{B3} \geq I_O$$

$$I_{B3} = I_{E2} - I_{RE2} = I_{E2} - \frac{V_{BE3}}{R_{E2}}$$

$$I_{E2} = I_{B2} + I_{C2} = I_{B2} + \frac{V_{CC} - V_{CE2} - V_{BE3}}{R_{C2}}$$

Najgora situacija je kada tranzistor T2 izlazi iz zasićenja, tada mu je najmanja bazna struja, (da se podsetimo tada je ulazni tranzistor T1 u direktnom zasićenju)

$$I_{B2} = \frac{I_{E2}}{\beta_F}$$

pa je

$$I_{E2} = \frac{\beta_F + 1}{\beta_F} \frac{V_{CC} - V_{CE2} - V_{BE3}}{R_{C2}}$$

$$I_{B3} = \frac{\beta_F + 1}{\beta_F} \frac{V_{CC} - V_{CE2} - V_{BE3}}{R_{C2}} - \frac{V_{BE3}}{R_{E2}}$$

$$\beta_F \left(\frac{\beta_F + 1}{\beta_F} \frac{V_{CC} - V_{CE2} - V_{BE3}}{R_{C2}} - \frac{V_{BE3}}{R_{E2}} \right) \geq I_O$$

$$I_{OL} = (\beta_F + 1) \frac{V_{CC} - V_{CES} - V_{BES}}{R_{C2}} - \beta_F \frac{V_{BES}}{R_{E2}}$$

Na ovom mestu treba reći da će se zamenom brojnih vrednosti dobiti mnogo veći strujni kapacitet logičke nule nego što on u stvarnosti jeste. U stvarnosti je određen disipacijom na izlaznom tranzistoru.

Na osnovu dobijenih vrednosti možemo izračunati i faktore grananja

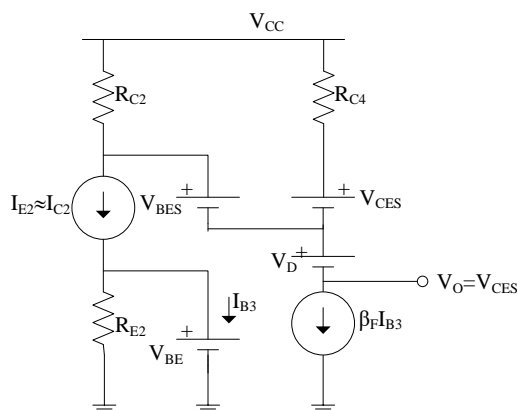
$$N_H = \left| \frac{I_{OH}}{I_{IH}} \right| = \left| \frac{- \left(\frac{V_{CC} - V_{BES} - V_D - V_{OHmin}}{R_{C2}} + \frac{V_{CC} - V_{BES} - V_D - V_{OHmin}}{R_{C2}} \right)}{\frac{\beta_R}{2} \frac{V_{CC} - V_D - V_{BES} - V_{BES}}{R_{B1}}} \right|$$

$$N_L = \left| \frac{I_{OL}}{I_{IL}} \right| = \left| \frac{(\beta_F + 1) \frac{V_{CC} - V_{CES} - V_{BES}}{R_{C2}} - \beta_F \frac{V_{BES}}{R_{E2}}}{- \frac{V_{CC} - V_{BES} - V_{OL}}{R_{B1}}} \right|$$

$$N = \min(N_L, N_H)$$

Struja kratkog spoja na izlazu standardnog TTL logičkog kola

Videli smo da prilikom promene ulaznog napona, koji u stvarnosti, ne može trenutno da se promeni, postoji situacija da vode oba izlazna tranzistora. Tada se javlja struja kratkog spoja I_{SC} na izlazu i povećava disipaciju izlaznog stepena. Da bi procenili tu struju možemo da krenemo od modela izlaznog stepena u tom režimu, smatrajući da T2 radi u aktivnom režimu (uslov da postoji struja kratkog spoja), T3 na prelazu iz aktivnog režima u zasićenje kada će totempol konfiguraciji koja radi u zasićenju tada biti najveća struja (videli smo da će za velike struje ona zaista tako i raditi)



$$(I_{RC2} - I_{E2}) + I_{RC4} = \beta_F I_{B3} = I_{SC}$$

$$I_{RC2} = \frac{V_{CC} - V_{BES} - V_D - V_{CES}}{R_{C2}}$$

$$I_{RC4} = \frac{V_{CC} - V_{CES} - V_D - V_{CES}}{R_{C4}}$$

i zanemarujući baznu struju tranzistora T2

$$I_{E2} = I_{RE2} + I_{B3} \approx I_{RE2} = \frac{V_{BE}}{R_{E2}}$$

dobijamo

$$I_{SC} = \frac{V_{CC} - V_{BES} - V_D - V_{CES}}{R_{C2}} - \frac{V_{BE}}{R_{E2}} + \frac{V_{CC} - V_{CES} - V_D - V_{CES}}{R_{C4}}$$

Imalo smo jedno zanemarivanje i treba ga proveriti odnosno proveriti odnos

$$I_{RE2} = \frac{V_{BE}}{R_{E2}} \quad i \quad I_{B3} = \frac{I_{SC}}{\beta_F}$$

Za brojne vrednosti sa kojima raspolažemo

$$I_{SC} = \left(\frac{5 - 0.7 - 0.6 - 0.1}{1.6} - \frac{0.6}{1} + \frac{5 - 0.1 - 0.6 - 0.1}{0.13} \right) mA \approx 34.6mA$$

$$I_{RE2} = \frac{V_{BE}}{R_{E2}} = 0.6mA \quad i \quad I_{B3} = \frac{I_{SC}}{\beta_F} \approx 0.69mA$$

Nismo se proslavili sa zanemarivanjem. Rezultati nam pokazuju da nismo smeli to da uradimo. Sve iz početka bez zanemarivanja.

Digresija

Da budemo iskreni. U startu se videlo da ovo zanemarivanje nije smelo da se uradi. Dominantna struja na izlazu je kroz otpornik R_{C4} koja je približno 32mA. To podeljeno sa β_F je približno 0.6mA što je i struja kroz otpornik R_{E2}

Bez zanemarivanja bazne struje tranzistora T3

$$(I_{RC2} - I_{E2}) + I_{RC4} = \beta_F I_{B3} = I_{SC}$$

$$I_{RC2} = \frac{V_{CC} - V_{BES} - V_D - V_{CES}}{R_{C2}}$$

$$I_{RC4} = \frac{V_{CC} - V_{CES} - V_D - V_{CES}}{R_{C4}}$$

$$I_{E2} = I_{RE2} + I_{B3}$$

$$I_{RC2} - I_{RE2} - I_{B3} + I_{RC4} = \beta_F I_{B3}$$

$$I_{RC2} - I_{RE2} + I_{RC4} = (\beta_F + 1)I_{B3}$$

$$I_{B3} = \frac{I_{RC2} - I_{RE2} + I_{RC4}}{\beta_F + 1}$$

$$I_{SC} = \beta_F I_{B3} = \frac{\beta_F}{\beta_F + 1} (I_{RC2} - I_{RE2} + I_{RC4})$$

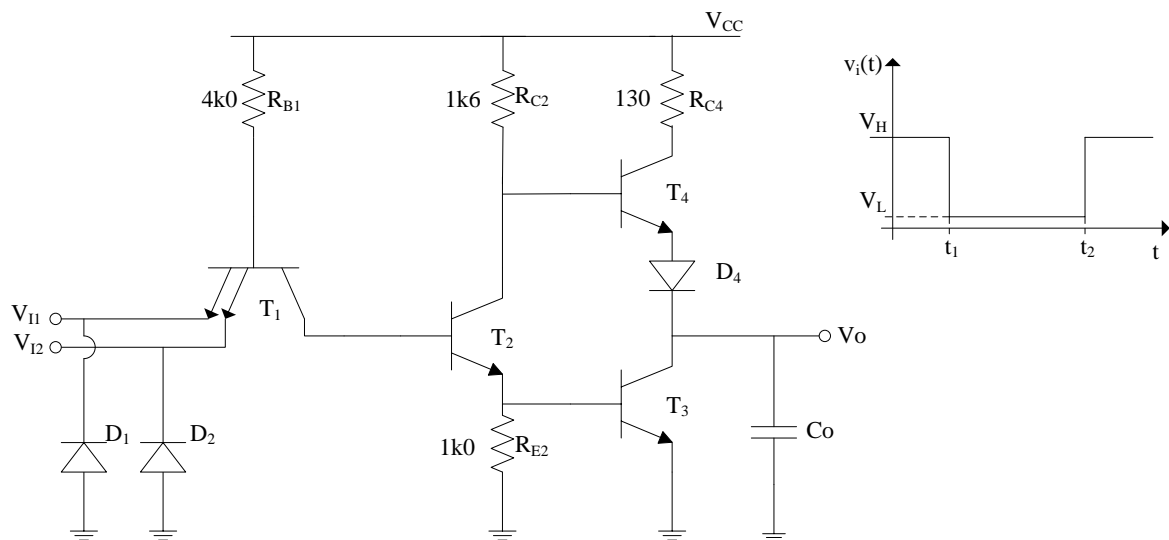
Što za odgovarajuće vrednosti

$$I_{SC} \approx 33.9mA$$

Dobili smo približno isti rezultat kao i ranije sa zanemarivanjem. Ovo jeste za očekivanje pošto je dominantna struja kratkog spoja otpornika R_{C4} . Uostalom on i postoji da bi ograničio tu struju.

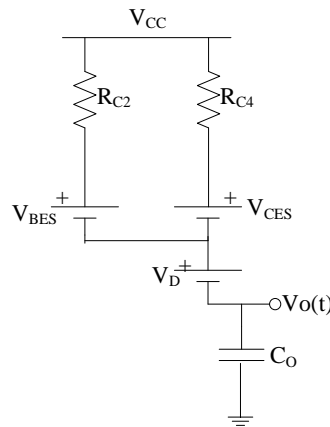
Dinamički režim standardnog TTL logičkog kola

Kao i uvek smatraćemo da na izlazu postoji parazitna kapacitivnost C_O i posmatrati šta se dešava na izlazu kada se na ulazu menjaju naponski nivoi.



Ako je pre trenutka t_1 napon na ulazu dovoljno dugo bio na visokom nivou, napon na izlazu će biti na niskom nivou V_{OL} smatrajući da su svi prelazni procesi završeni. U trenutku t_1 menjaju se režimi rada tranzistora, T_1 ide u direktno zasićenje, T_2 i T_3 se koče. Vodiće totempol konfiguracija i ona će raditi u zasićenju pošto je $\beta_F R_{C4} > R_{C2}$.

Totempol konfiguracija puni parazitnu kapacitivnost po modelu



Vremenska konstanta punjenja je

$$\tau = C_O * (R_B \parallel R_C)$$

Pošto je izlazni napon istovremeno i napon na kondenzatoru i ako smo počeli da posmatramo pojavu u trenutku t_0 kada je napon na kondenzatoru bio nizak V_L onda je

$$v_o(t_1^+) = v_c(t_1^+) = v_c(t_1^-) = V_{OL}$$

Napon u beskonačnosti po modelu dobija se kada je struja kroz kondenzator jednaka nuli što znači da je u beskonačnosti $i_{RC2} = -i_{RC4}$, odnosno

$$v_{RC2}(t) + V_{BES} - V_{CES} - v_{RC4}(t) = 0$$

$$R_{C2}i_{RC2}(t) + V_{BES} - V_{CES} - R_{C4}i_{RC4}(t) = 0$$

$$i_{RC2}(\infty) + i_{RC4}(\infty) = 0$$

$$i_{RC4}(\infty) = \frac{V_{BES} - V_{CES}}{R_{C2} + R_{C4}}$$

$$v_o(\infty) = V_{CC} - R_{C4}i_{RC4}(\infty) - V_{CES} - V_D = V_{CC} - V_{CES} - V_D - R_{C4} \frac{V_{BES} - V_{CES}}{R_{C2} + R_{C4}}$$

Izraz za izlazni napon je

$$v_o(t) = v_o(\infty) + (v_o(t_0^+) - v_o(\infty))e^{-\frac{t-t_1}{\tau}} \quad \text{za } t \geq t_1$$

Pri porastu izlaznog napona u nekom trenutku t_1 tranzistor će iz zasićenja preći u aktivan režim kao što smo prethodno videli. Međutim nas interesuje dostizanje 50% promene odnosno kad izlazni napon postojne jednak $\frac{V_{OL} + V_{OH}}{2}$. Znači trebalo bi proveriti da li tada još uvek važi ovaj model, odnosno da li tada još uvek tranzistor radi u zasićenju.

Kada je izlazni napon

$$V_O = \frac{V_{OL} + V_{OH}}{2}$$

tada je (pod pretpostavkom da je tranzistor u zasićenju)

$$I_{B4} = \frac{V_{CC} - V_{BE4} - V_{D4} - \frac{V_{OL} + V_{OH}}{2}}{R_{C2}} = \frac{V_{CC} - V_{BES} - V_D - \frac{V_{CES} + V_{CC} - V_{YT} - V_{YD}}{2}}{R_{C2}}$$

$$I_{C4} = \frac{V_{CC} - V_{CE4} - V_{D4} - \frac{V_{OL} + V_{OH}}{2}}{R_{C4}} = \frac{V_{CC} - V_{CES} - V_D - \frac{V_{CES} + V_{CC} - V_{YT} - V_{YD}}{2}}{R_{C4}}$$

Da bi bila tačna pretpostavka da radi u zasićenju potrebno je

$$\beta_F I_{B4} > I_{C4}$$

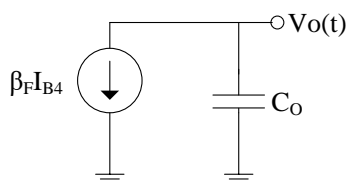
$$\beta_F \frac{V_{CC} - 2V_{BES} - 2V_D - V_{CES} + V_{YT} + V_{YD}}{2R_{C2}} > \frac{V_{CC} - 2V_{CES} - 2V_D - V_{CES} + V_{YT} + V_{YD}}{2R_{C4}}$$

$$\beta_F R_{C4} > R_{C2} \frac{V_{CC} - 2V_{CES} - 2V_D - V_{CES} + V_{YT} + V_{YD}}{V_{CC} - 2V_{BES} - 2V_D - V_{CES} + V_{YT} + V_{YD}} \approx R_{C2}$$

Kao što se vidi tranzistor će raditi u zasićenju kada se dostigne 50% promene pa možemo odmah da pišemo

$$t_{pLH} = \tau_2 \ln \left(\frac{v(t_1^+) - v(\infty)}{\frac{V_{OL} + V_{OH}}{2} - v(\infty)} \right)$$

U trenutku t_2 ćemo takođe smatrati da su završeni svi prelazni procesi tako da se na izlazi nalazi napon V_{OH} . Ako smatramo da su interni procesi u tranzistorima brzi, tranzistor T1 će odmah preći u inverzan aktivan, ili inverzno zasićenje, ili direktno zasićenje (šta već bude gori slučaj) ali tako da se tranzistor T2 uključi i tranzistor T3 ima uslove da radi u zasićenju. Međutim kao što smo ranije videli tranzistor T3 bez obzira na uslove bazne struje, neće odmah otići u zasićenje, pošto napon između njegovog kolektora i emitera je jednak naponu na kondenzatoru koji ne može trenutno da se promeni. Tranzistor T3 će prazniti kondenzator svojom kolektorskom strujom i odlazi u zasićenje tek kada napona na kondenzatoru postane jednak V_{CES} . Tada se i završava prelazni proces. Totempol konfiguracija je zakočena tako da je model pražnjenja kondenzatora



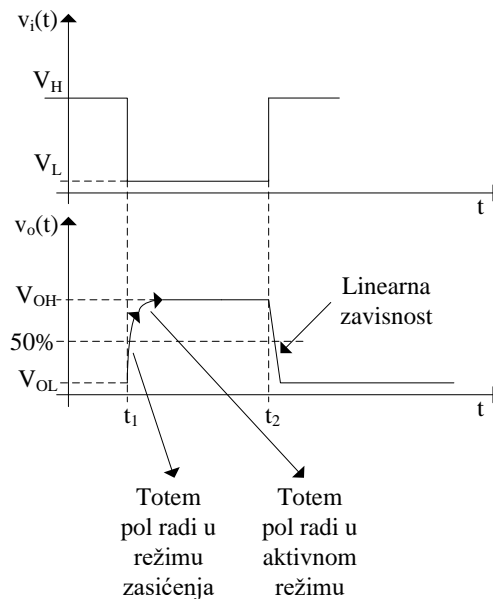
Kapacitivnost se prazni konstantnom strujom i u najgorem slučaju to je struja strujnog kapaciteta logičke nule. Izlazni napon je

$$v_o(t) = v_o(t_2^+) - \frac{I_{OL}}{C}(t - t_2) \quad \text{za } t \geq t_2$$

Za procenu kašnjenja nas interesuje kada taj napon dostiže 50% promene pa je

$$\frac{V_{OL} + V_{OH}}{2} = V_{OH} - \frac{I_{OL}}{C} t_{pHL}$$

$$t_{pHL} = C \frac{V_{OH} - V_{OL}}{2I_{OL}}$$



KATALOŠKE KARAKTERISTIKE

6.5 Electrical Characteristics: SNx400

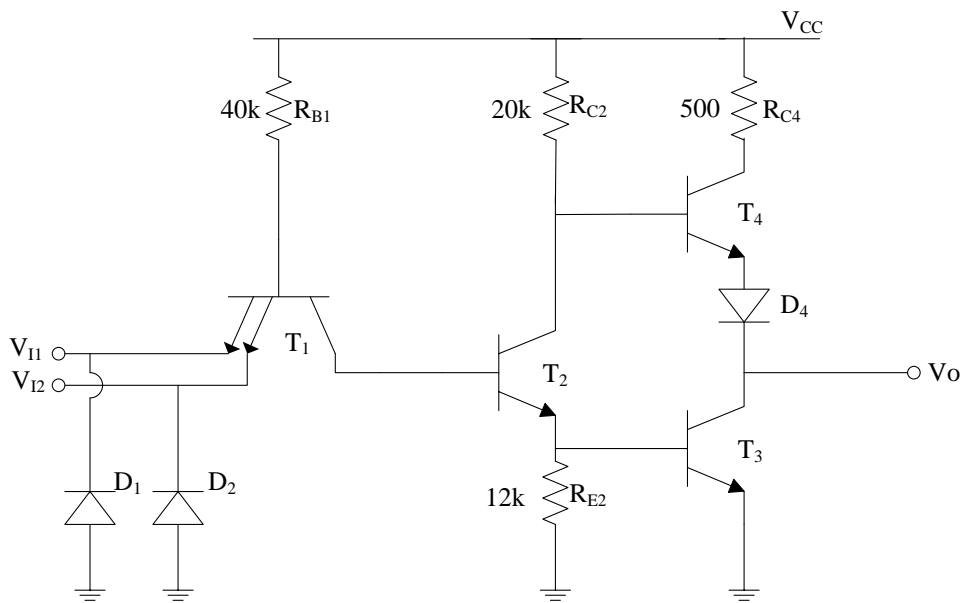
over operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IK}	$V_{CC} = \text{MIN}$ and $I_I = -12 \text{ mA}$			-1.5	V
V_{OH}	$V_{CC} = \text{MIN}$, $V_{IL} = 0.8 \text{ V}$, and $I_{OH} = -0.4 \text{ mA}$	2.4	3.4		V
V_{OL}	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, and $I_{OL} = 16 \text{ mA}$		0.2	0.4	V
I_I	$V_{CC} = \text{MAX}$ and $V_I = 5.5 \text{ V}$			1	mA
I_{IH}	$V_{CC} = \text{MAX}$ and $V_I = 2.4 \text{ V}$			40	μA
I_{IL}	$V_{CC} = \text{MAX}$ and $V_I = 0.4 \text{ V}$			-1.6	mA

6.8 Switching Characteristics: SNx400

$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$, and over operating free-air temperature range (unless otherwise noted). See Figure 2.

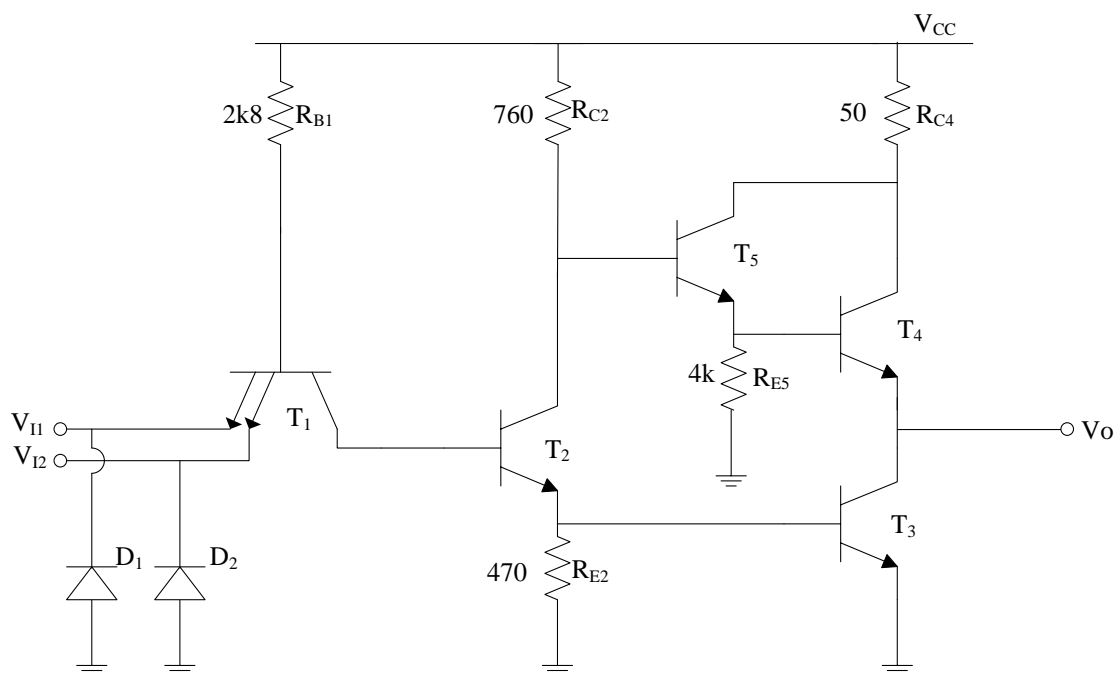
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	A or B	Y	$R_L = 400 \Omega$ and $C_L = 15 \text{ pF}$		11	22	ns
t_{PHL}					7	15	

Low power TTL logičko kolo

Low power TTL kolo

Kao što se vidi Low power TTL logička kola su po strukturi identična standardnom logičkom kolu. Otpornici su praktično za red veličine veći čime je smanjena potrošnja kola. Svi izrazi izvedeni za standardno TTL kolo važe i ovde.

High power TTL logičko kolo



High power TTL kolo

U ovoj familiji je dioda D4 u totempol konfiguraciji praktično zamenjena tranzistorom T5. Tranzistor T5 zajedno sa tranzistorom T4 čini Darlingtonovu konfiguraciju u cilju da se poveća strujni kapacitet logičke jedinice. Zbog toga tranzistor T4 nikada ne ide u zasićenje.

$$V_{BC4} = -V_{CE5} \leq -V_{CES} < 0$$

Otpornik R_{E5} je neophodan da bi se obezbedila putanja kojom će se prazniti nosioci iz baze tranzistora T4 prilikom njegovog „isključenja“. Što se tiče analize veliki deo proračuna ostaje identičan kao kod standardnog TTL kola. Ali zbog ove konfiguracije totempola u proračunu će se menjati

Napon logičke jedinice

$$V_{OH} = V_{CC} - V_{RC2} - V_{BE5} - V_{BE4}$$

Tranzistor T4 je za neopterećeno logičko kolo na ivici provođenja, što je standardno za totempol konfiguraciju, Međutim tranzistor T5 ima uslove da provodi u aktivnom režimu preko otpornika R_{C2} , R_{E5} i R_{C4} . Ako radi u aktivnom režimu, što treba da pokažemo, onda možemo da napišemo

$$V_{CC} - R_{C2}I_{B5} - V_{BE5} - R_{E5}I_{E5} = 0$$

$$V_{CC} - R_{C2}I_{B5} - V_{BE5} - R_{E5}\beta_F I_{B5} = 0$$

$$I_{B5} = \frac{V_{CC} - V_{BE5}}{R_{C2} + \beta_F R_{E5}}$$

napon na bazi tranzistora T5 je

$$V_{B5} = V_{CC} - R_{C2} \frac{V_{CC} - V_{BE5}}{R_{C2} + \beta_F R_{E5}}$$

Napon na kolektoru tranzistora T5 je

$$V_{C5} = V_{CC} - R_{C4} I_{C4} = V_{CC} - R_{C4} \beta_F I_{B4} = V_{CC} - R_{C4} \beta_F \frac{V_{CC} - V_{BE5}}{R_{C2} + \beta_F R_{E5}}$$

Napon između baze i kolektora tranzistora T5 je

$$V_{BC5} = V_{B5} - V_{C5} = V_{CC} - R_{C2} \frac{V_{CC} - V_{BE5}}{R_{C2} + \beta_F R_{E5}} - \left(V_{CC} - \frac{V_{CC} - V_{BE5}}{R_{C2} + \beta_F R_{E5}} \right)$$

$$V_{BC5} = V_{B5} - V_{C5} = (R_{C2} - R_{C4} \beta_F) \frac{V_{CC} - V_{BE5}}{R_{C2} + \beta_F R_{E5}}$$

Za date parametre

$$(R_{C2} - R_{C4} \beta_F) < 0 \text{ pa je } V_{BC5} < 0$$

Što znači da tranzistor T5 jeste u aktivnom režimu. Napon logičke jedinice je tada

$$V_{OH} = V_{CC} - V_{RC2} - V_{BE5} - V_{BE4}$$

$$V_{OH} = V_{CC} - R_{C2} I_{B5} - V_{BE5} - V_{BE4}$$

$$V_{OH} = V_{CC} - R_{C2} \frac{V_{CC} - V_{BE}}{R_{C2} + \beta_F R_{E5}} - V_{BE} - V_{\gamma T} \approx V_{CC} - V_{BE} - V_{\gamma T}$$

Strujni kapacitet logičke jedinice

$$-I_O = \frac{V_{CC} - V_{BE5} - V_{BE4} - V_O}{R_{C2}} + \frac{V_{CC} - V_{CE5} - V_{BE4} - V_O}{R_{C4}} - \frac{V_O + V_{BE4}}{R_{E5}}$$

Tranzistor T5 je u zasićenju, tranzistor T4 u aktivnom režimu pa je

$$I_{OH} = - \left(\frac{V_{CC} - V_{BES} - V_{BE} - V_{OHmin}}{R_{C2}} + \frac{V_{CC} - V_{CES} - V_{BE} - V_{OHmin}}{R_{C4}} - \frac{V_{OHmin} + V_{BE}}{R_{E5}} \right)$$

Pri čemu poslednji član $\frac{V_{OHmin} + V_{BE}}{R_{E5}}$ zbog vrednosti R_{E5} možemo u proračunu zanemariti.

Tranzistor T5 jeste u zasićenju pošto je njegova bazna struja

$$I_{B5} = \frac{V_{CC} - V_{BES} - V_{BE} - V_{OHmin}}{R_{C2}}$$

a kolektorska struja

$$I_{C5} = \frac{V_{CC} - V_{CES} - V_{BE} - V_{OHmin}}{R_{C4}} - I_{C4} = \frac{V_{CC} - V_{CES} - V_{BE} - V_{OHmin}}{R_{C4}} - \frac{I_{OH}}{\beta_F}$$

Kao što se vidi izrazi su i po obliku i po vrednostima dosta slični standardnom TTL kolu. Gde je onda dobit od Darlingtnove konfiguracije. U dinamičkom režimu pri kraju punjenja parazitnih kapacitivnosti kada totempol konfiguracija radi u aktivnom režimu, a tada će zbog Darlingtonove konfiguracije raditi sa mnogo većim strujnim pojačanjem, što je ekvivalentno mnogo manjoj vremenskoj konstanti,

Treba uočiti da totempol konfiguracija neće biti u potpunosti zakočena kada bi na izlazu trebala da bude logička nula. Napon na bazi tranzistora T5 je tada

$$V_{B5} = V_{BE3} + V_{CE2} = V_{BES} + V_{CES}$$

i on po konturi BE spoja i otpornika R_{E5} ima uslove za provođenje. Ako pretpostavimo da radi u aktivnom režimu

$$I_{E5} = \frac{V_{E5}}{R_{E5}} = \frac{V_{B5} - V_{BE5}}{R_{E5}} = \frac{V_{BES} + V_{CES} - V_{BE}}{R_{E5}}$$

$$I_{C5} \approx I_{E5} = \frac{V_{BES} + V_{CES} - V_{BE}}{R_{E5}}$$

$$V_{C5} = V_{CC} - R_{C4}I_{C5} = V_{CC} - R_{C4} \frac{V_{BES} + V_{CES} - V_{BE}}{R_{E5}}$$

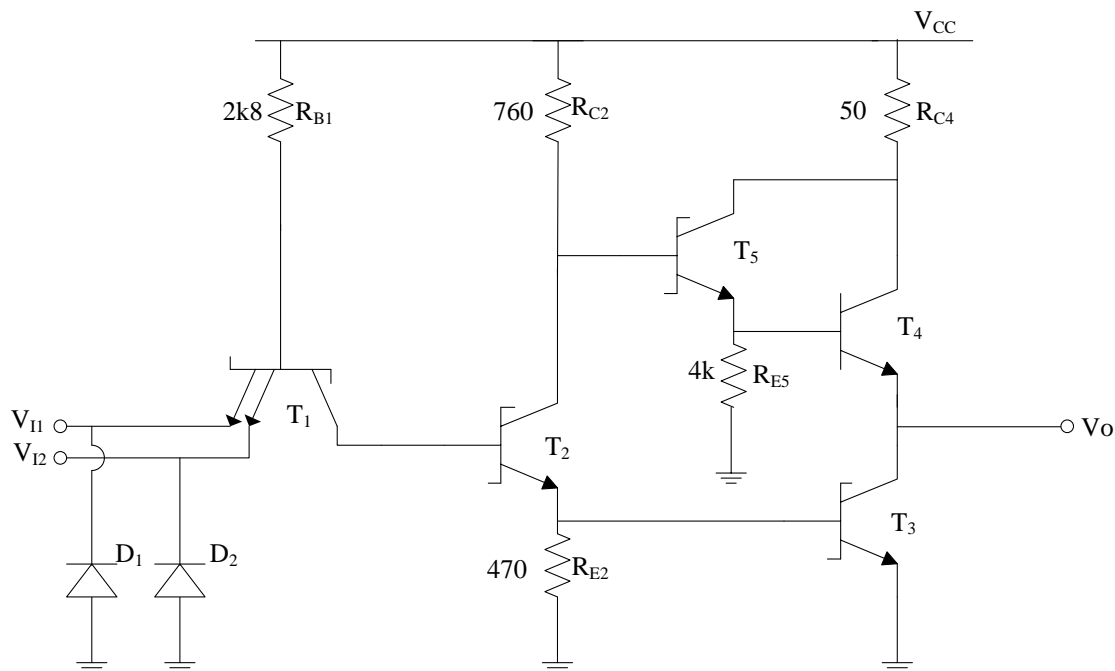
$$V_{BC5} = (V_{BES} + V_{CES}) - \left(V_{CC} - R_{C4} \frac{V_{BES} + V_{CES} - V_{BE}}{R_{E5}} \right) < 0$$

iz čega se vidi da on tada zaista radi u aktivnom režimu. Tada njegovu baznu struju možemo zanemariti i dolazimo da je izraz za strujni kapacitet logičke nule identičan kao i kod standardnog TTL kola.

Sve ovo važi i za karakteristiku prenosa kao i za dinamički režim rada kola.

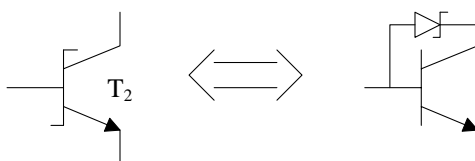
Schottky TTL logičko kolo

Prethodna H familija TTL logičkih kola je uvedena da bi se na račun disipacije ubrzao rad kola. Međutim značajnije ubrzanje je uvedeno modifikacijama u Schottky TTL logičkim kolima. Da bi videli o čemu se radi nacrtaćemo prvo jednu među šemu (nije original Schottky kolo ali liči kao što ćemo videti). Ubrzanje rada kola je izvedeno na sledeći način



«Schottky» TTL kolo

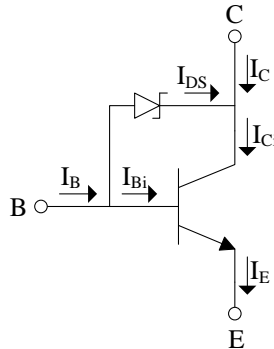
Kako je urađeno ubrzanje rada? Ako se uporedi ova šema i šema standardnog H kola vidi se da su identične po vrednostima parametara, po vezama, osim što je za tranzistore T1, T2, T3 i T5 modifikovan simbol. Taj modifikovani simbol je simbol Šotki (Schottky) tranzistora



«Schottky» tranzistor

koji je formiran tako što je između bazno kolektorskog spoja „običnog“ tranzistora formirana Šotki dioda. Kako je napon direktne polarizacije Šotki diode mali i manji od napona potrebnog za polarizaciju klasičnog pn spoja, to znači da bazno kolektorski spoj tranzistora ne može biti direktno polarizovan u provođenju. A to znači da tranzistor uvek radi u aktivnom režimu pa čak i onda kada provodi Šotkijeva dioda. Tranzistor radi u aktivnom režimu, mnogo brže se isključuje pa je samim time ovo kolo brže od H familije.

Da li to znači da sada moramo uradi ponovo kompletanu analizu kola pošto tranzistori uvek rade u aktivnom režimu, a mi smo se uvek do sada oslanjali na njihov režim zasićenja? U tom smislu da malo bolje pogledamo strukturu Šotki tranzistora.



Što se tiče zakočenja tranzistora sve isto kao i kod „običnog“.

Što se tiče aktivnog režima kada ne vodi Šotki dioda sve isto kao i kod „običnog“.

Međutim znajući da tranzistor uvek kada radi radi u aktivnom režimu možemo napisati

$$I_{Ci} = \beta_F I_{Bi}$$

pri čemu je na osnovu slike

$$I_{Ci} = I_C + I_{DS}$$

$$I_{Bi} = I_B - I_{DS}$$

Znači

$$I_C + I_{DS} = \beta_F (I_B - I_{DS})$$

$$I_C = \beta_F I_B - (\beta_F + 1) I_{DS}$$

Ako šotki dioda ne vodi $I_{DS}=0$ važi zaključak od malo pre, tranzistor radi u aktivnom režimu odnosno

$$I_C = \beta_F I_B$$

Međutim ako vodi Šotki dioda tada je

$$I_C = \beta_F I_B - (\beta_F + 1) I_{DS} < \beta_F I_B$$

Isti uslov koji smo imali za zasićenje „običnog“ tranzistora. Da li se i u drugom pogledu tranzistor tada ponaša kao „običan“ u zasićenju. Uočimo da kada vodi Šotki dioda

$$V_{CE} = V_{BE} - V_{BC} = V_{BE} - V_{DS}$$

i konstanta je bez obzira na „veličine“ struja. To znači da Šotkijev tranzistor možemo tretirati na identičan način kao i obične tranzistore, odnosno da svi naši izvedeni izrazi i uslovi važe. Razlika je u tome što prilikom zamene treba

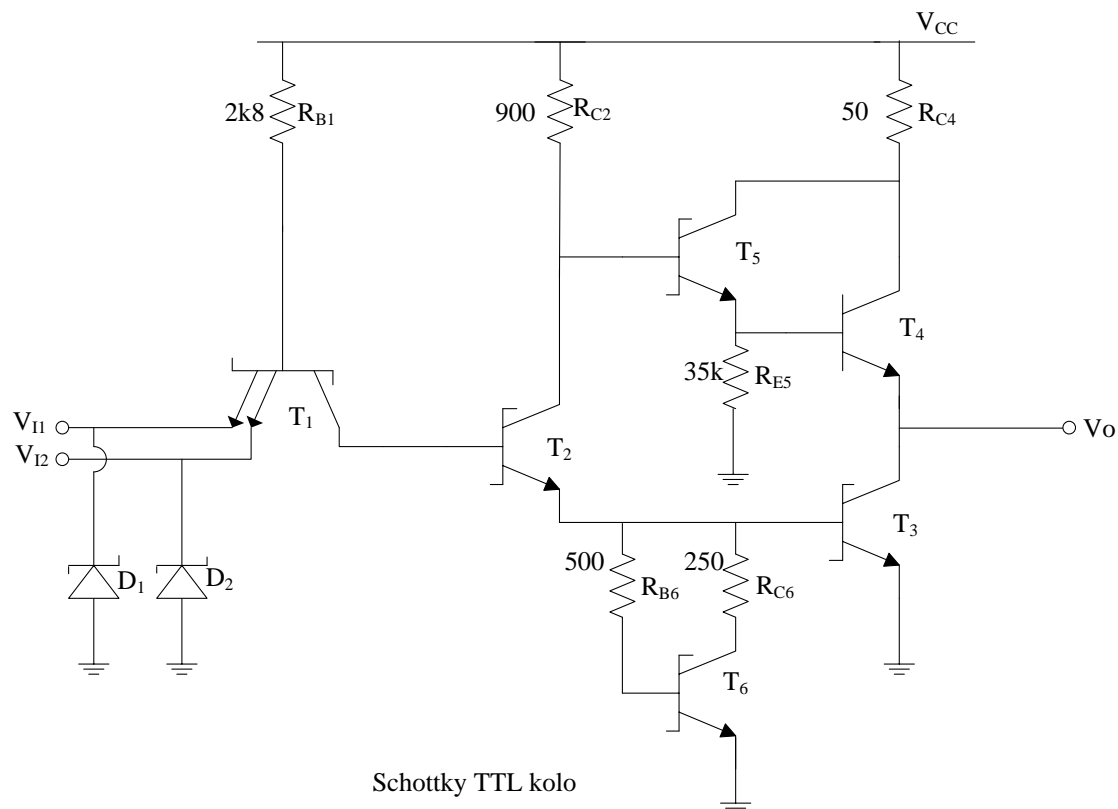
$$V_{BES} \Rightarrow V_{BE}$$

$$V_{CES} \Rightarrow V_{BE} - V_{DS}$$

A to možemo zvati naponom „zasićenja Šotkijevog tranzistora“. Ovo je samo kolokvijalno pošto se tranzistor isto ponaša, ali znamo da sam tranzistor ne ide u zasićenje. Ovo je situacija kada mu je provela Šotki dioda.

$$V_{SCES} = V_{BE} - V_{DS}$$

Pravo Šotki TTL kolo je



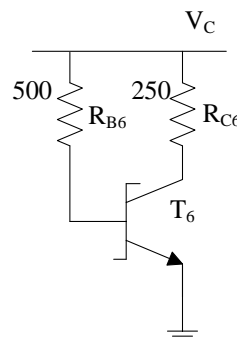
Šta treba uočiti. Dioda D1 i D2 su zamenjene Šotkijevim diodama. Brže su i reaguju pri manjim naponima. Tranzistor T4 ne treba da bude Šotkijev pošto on u Darlingtonovoj konfiguraciji i ne ide u zasićenje. Tranzistor T1 zbog Šotki diode ne može da radi u inverznom aktivnom režimu niti u inverznom zasićenju. Njegov „inverzan aktivan“ režim je vodi Šotki dioda i nedovoljno polarizovan BE spoj, odnosno. Izraze koje smo našli koristeći ove režime kod „običnog“ tranzistora i dalje možemo koristiti smatrajući da je za Šotkijev tranzistor $\beta_R=0$. Inverzno zasićenje običnog tranzistora praktično i nismo koristili u jednačinama, osim u objašnjenjima kako radi ulazni tranzistor. Uočite da jednačina

$$I_C = \beta_F I_B - (\beta_F + 1) I_{DS}$$

daje mogućnost da struja kolektora bude negativna mada tranzistor vodi „u zasićenju“ kao i kod običnog tranzistora.

Međutim ono što „značajno odstupa“ jeste pojava tranzistora T6 umesto otpornika R_{E2} . Do sada nismo komentarisali ulogu otpornika R_{E2} čija je osnovna namena da obezbedi putanju za pražnjenje nosioca iz baze tranzistora T3 prilikom njegovog isključenja. I sa tog aspekta trebao bi da je što manji. Međutim on „odvlači“ baznu struju tranzistora T3 i time smanjuje njegov strujni kapacitet. A napravio nam je problem i sa dve prelomne tačke u karakteristici prenosa, pošto je dozvolio provođenje tranzistora T2 i pad napona na izlazu pre nego što je proveo tranzistor T3. Ideja stavljanja tranzistora T6 sa svojim otpornicima R_{B6} i R_{C6} jeste da bi se eliminisale ove pojave: da ne postoje dve prelomne tačke u karakteristici prenosa, da se obezbedi brzo pražnjenje nosioca iz baze tranzistora T3 ali ne na račun strujnog kapaciteta.

Mada smo to ranije implicitno videli kod totempol konfiguracije režim rada tranzistora T6 neće zavisti samo od odnosa otpornika R_{B6} i R_{C6} nego i od napona na njima. Mi smo do sada široko koristili uslov $\beta_F R_{C6} > R_{B6}$ da vidimo da li tranzistor ima uslove da radi u zasićenju. I po ovome tranzistor T6 ima uslove da radi u zasićenju. Ali kao što smo implicitno videli kod totempol konfiguracije to zavisi i od napona na toj konfiguraciji. Da to proverimo



Tranzistor sigurno vodi. (nadam se da ste se do sada već navikli da u startu prepoznate da li vode ili ne)

$$I_{B6} = \frac{V_C - V_{BE6}}{R_{B6}}$$

$$I_{C6} = \frac{V_C - V_{CE6}}{R_{C6}}$$

$$\beta_F I_{B6} > I_{C6}$$

$$\beta_F \frac{V_C - V_{BE6}}{R_{B6}} > \frac{V_C - V_{CE6}}{R_{C6}}$$

$$V_C > V_{BE6} - V_{CE6} \frac{R_{B6}}{\beta_F R_{C6}}$$

Znači za neke više napone tranzistor će voditi u zasićenju, ali za neke niže u aktivnom režimu bez obzira na uslov odnosa otpornosti.

Da vidimo eliminisanje dve prelomne tačke u karakteristici prenosa. Da se podsetimo one su nastale zbog toga što prvo počne da vodi tranzistor T2, pa zbog njegovog provođenja dolazi do pada napona na izlazu pa tek kada se na otporniku R_{E2} stvore uslovi provede i T3. Međutim ovde gledajući ono što smo malo pre izvodili, ako ne vodi tranzistor T3 ne vodi ni tranzistor T6. Tranzistor T6 i ako provede ranije (na primer tehnološki ima manji prag provođenja) radiće sa jako malom strujom, tako da možemo da je zanemarimo. Ulazni napon pri kome se uključuje tranzistor T3 je

$$V_I = -V_{CE1} + V_{BE2} + V_{BE3}$$

pri čemu istovremeno počinju da vode i T2 i T3 pa je

$$V_{IL} = -V_{SCES} + V_{YT} + V_{YT} = -V_{BE} + V_{DS} + V_{YT} + V_{YT}$$

Za sve ostalo važe isti izrazi, samo ćemo umesto struje koju smo imali kroz otpornik R_{E2} koristiti struju kroz konfiguraciju tranzistora T6. Ova uloga tranzistora T3 se naziva „kvadriranjem“ karakteristike prenosa.

Tranzistor T6 će praktično prilikom isključenja tranzistora T3 dinamički menjati svoju otpornost (prelaziti iz zasićenja u aktivan režim) i time doprineti bržem isključenju tranzistora T3. Da bi ovo bolje razumeli vratimo se na situaciju da je tu otpornik R_{E2} . U toj situaciji kako se bud praznili nosioci iz baze tranzistora T3 opadaće i napon između baze i emitora a samim tim i linerano opadati struja baze kojom se prazne nosioci $I_{B3} = -\frac{V_{BE3}}{R_{E2}}$. U situaciji kada je umesto otpornika konfiguracija sa tranzistorom T6, da se prvo vratimo na njegovu analizu. Kada je napon V_C visok tranzistor T6 radi u zasićenju i generator V_C praktično vidi otpornost $R_{B6} \parallel R_{C6}$ i kao i za otpornik R_{E2} kako bude padao napon V_C tako će linerano da pada i struja kojom se prazne nosioci. Ali kada napon V_C dovoljno padne tranzistor T6 prelazi u aktivan režim. Tada generator V_C vidi otpornost $\frac{R_{B6}}{\beta_F + 1}$ tako da će sa dalim padom napona V_C biti manja promena bazne struje koja prazni nosioce iz baze tranzistora T3. Ova njegova uloga nije toliko važna pošto tranzistor T3 ne ide u zasićenje.

KATALOŠKE KARAKTERISTIKE

6.7 Electrical Characteristics: SNx4S00

over operating free-air temperature range (unless otherwise noted)

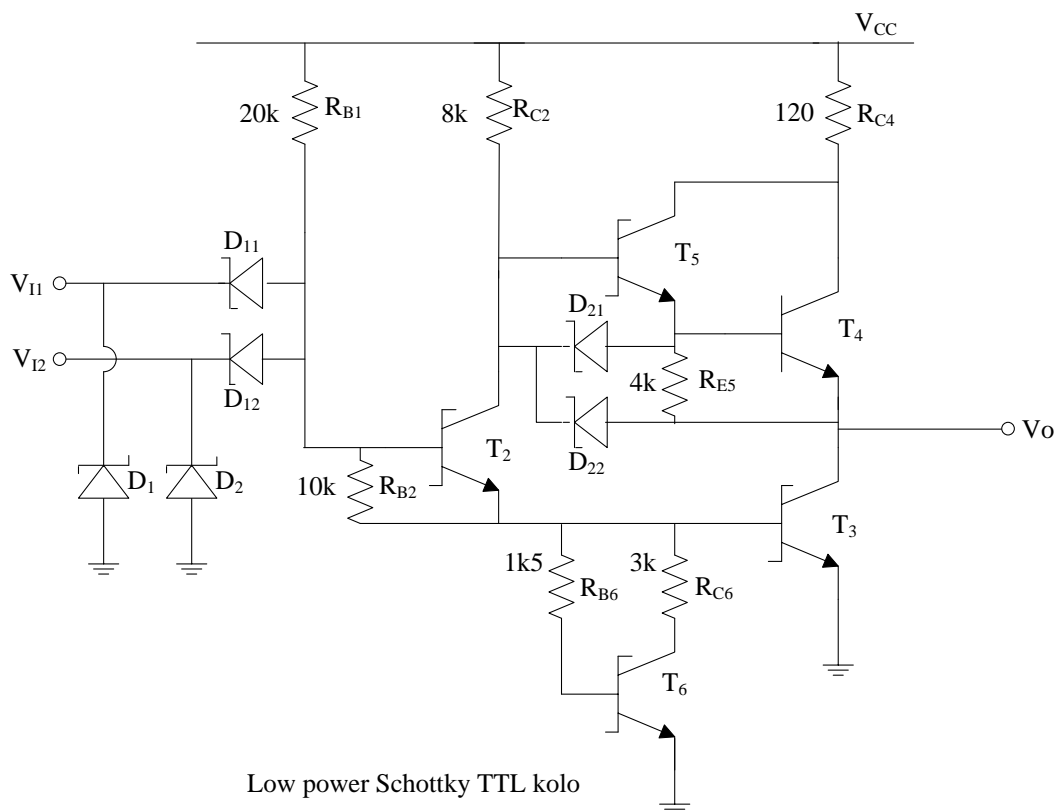
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IK}	$V_{CC} = \text{MIN}$ and $I_I = -18 \text{ mA}$			-1.2	V
V_{OH}	$V_{CC} = \text{MIN}$, $V_{IL} = 0.8 \text{ V}$, and $I_{OH} = -1 \text{ mA}$	2.5	3.4		V
V_{OL}	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, and $I_{OL} = 20 \text{ mA}$			0.5	V
I_I	$V_{CC} = \text{MAX}$ and $V_I = 5.5 \text{ V}$			1	mA
I_{IH}	$V_{CC} = \text{MAX}$ and $V_I = 2.7 \text{ V}$			50	μA
I_{IL}	$V_{CC} = \text{MAX}$ and $V_I = 0.5 \text{ V}$			-2	mA

6.10 Switching Characteristics: SNx4S00

$V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$, and over operating free-air temperature range (unless otherwise noted). See Figure 2.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	A or B	Y	$R_L = 280\ \Omega$ and $C_L = 15\ \text{pF}$	3	4.5	5	ns
			$R_L = 280\ \Omega$ and $C_L = 50\ \text{pF}$	4.5			
t_{PHL}	A or B	Y	$R_L = 280\ \Omega$ and $C_L = 15\ \text{pF}$	3	5	5	ns
			$R_L = 280\ \Omega$ and $C_L = 50\ \text{pF}$	5			

Low power Schottky TTL logičko kolo



Kako tranzistor T2 ne ide u zasićenje, tako uloga tranzistora T1 da u svom direktnom aktivnom režimu brzo prazni nosioce iz baze zasićenog tranzistora T2, postaje nebitna. Zbog toga se u LS TTL logičkim familijama umesto tranzistora T1 ponovo vraća diodna logika realizovana Šotki diodama D₁₁ i D₁₂. Da bi ipak postojala putanja kojom se prazne nosioci iz baze tranzistora T2 ubačen je otpornik R_{B2}. Da bi kolo radilo sa smanjenom potrošnjom vrednosti svih otpornosti su povećane.

Kao što se vidi promenjena je i konfiguracija totempola. Otpornik R_{E5} je priključen na izlaz umesto na masu.

Pre nego što prodiskutujemo kako ove modifikacije utiču na naše nađene izraze, da vidimo ulogu dioda D₂₁ i D₂₂. Uočimo da kada vodi tranzistor T5, ili je na ivici provođenja kada je logička jedinica na izlazu, dioda D₂₁ je sigurno zakočena $V_{D21} = -V_{BE5}$. Isto tako za diodu

D_{22} važi $V_{D22} = V_{D21} - V_{RE5} < 0$ pa je i ona zakočena (V_{RE5} je sigurno pozitivan kada vodi tranzistor T5 a jednak nuli kada je on zakočen). Sa druge strana ako je kolo neopterećeno i postoji situacija kada je tranzistor T5 zakočen diode D_{21} i D_{22} takođe neće voditi. Znači u statičkim režimima rada ne vodi niti jedna niti druga dioda. Međutim u dinamičkom režimu ako se prazni kapacitivnost na izlazu sa visokog na niski nivo, postoje uslovi da provede dioda D_{22} i ona će brže prazniti izlaznu kapacitivnost. O tome kada budemo diskutovali o dinamičkom režimu. Slična je uloga i diode D_{21} . U prelaznim režimima kada treba da se zakoči tranzistor T4 (koji bi se isključivao samo preko otpornika R_{E5}) vodiće ta dioda i brže isključiti tranzistor T4.

Da se vratimo na statički režim. Situacija je mešavina DTL i TTL logičkih kola. Kada je na bilo kojem ulazu nizak napon vodiće odgovarajuća dioda, biće zakočen tranzistori T2 i T3. Vodiće totem pol konfiguracija i na izlazu će biti visok napon

$$V_O = V_{CC} - V_{RC2} - V_{BE5} - V_{RE5}$$

Pošto postoji putanja prema izlazu i preko otpornika R_{E5} . Znači ne mora da radi tranzistor T4. Za neopterećeno kolo

$$V_{OH} = V_{CC} - 0 - V_{\gamma T} - 0 = V_{CC} - V_{\gamma T}$$

Povećan je napon logičke jedinice.

Kao i ranije znajući da diode prave I logičku funkciju, jedan ulaz ćemo povezati na logičku jedinicu a menjati napon na drugom ulazu.

Porastom ulaznog napona raste i napon na bazi tranzistora T2.

$$V_{B2} = V_I + V_{DS}$$

Zbog postojanja konture preko otpornika R_{B2} dovoljno je da taj napon postane jednak naponu uključenja tranzistora T3 pa da on počne da vodi. (ne zaboravite kako radi T6). Tranzistor T2 ne vodi, tranzistor T3 vodi sa baznom strujom koja prolazi kroz otpornik R_{B2} i koja još uvek nije dovoljana da provede T2.

$$I_{B3} < \frac{V_{\gamma T}}{R_{B2}}$$

dok promena ulaznog napona izaziva promenu te struje

$$\Delta I_{B3} = \frac{\Delta V_I}{R_{B2}}$$

Struja kolektora tranzistora T3 koji radi u aktivnom režimu je

$$I_{C3} = \beta_F I_{B3}$$

i ta struja prolazi kroz totem pol konfiguraciju.

Promena struje je

$$\Delta I_{C3} = \beta_F \Delta I_{B3} = \beta_F \frac{\Delta V_I}{R_{B2}}$$

Uočite da ako se pretpostavi da u totempol konfiguraciji vodi samo T5, pad napona na otporniku R_{E5} bi bio dovoljan da uključi T4. Pod pretpostavkom da i tranzistor T4 i tranzistor T5 rade u aktivnom režimu

$$I_{C3} = I_{RE5} + I_{E4}$$

$$I_{E5} = I_{RE5} + \frac{I_{E4}}{\beta_F + 1}$$

$$I_{B5} = \frac{I_{E5}}{\beta_F + 1}$$

Zbog čega sve ovo. Da bi mogli da napišemo

$$\Delta I_{C3} = \Delta I_{E4}$$

Uočite da je I_{RE5} konstantno i iznosi $I_{RE5} = \frac{V_{BE}}{R_{E5}}$

$$\Delta I_{E4} = \Delta I_{C3} = \beta_F \frac{\Delta V_I}{R_{B2}}$$

$$\Delta I_{E5} = \frac{\Delta I_{E4}}{\beta_F + 1} \approx \frac{\Delta I_{E4}}{\beta_F} = \frac{\beta_F \frac{\Delta V_I}{R_{B2}}}{\beta_F}$$

$$\Delta I_{B5} = \frac{\Delta I_{E5}}{\beta_F + 1} \approx \frac{\Delta I_{E5}}{\beta_F} = \frac{\frac{\Delta V_I}{R_{B2}}}{\beta_F}$$

Pad napona na otporniku R_{C2} što je istovremeno i promena napon na izlazu

$$\Delta V_{RC2} = \Delta V_O = -R_{C2} \Delta I_{B5} = -\frac{R_{C2}}{\beta_F R_{B2}} \Delta V_I$$

Iz ovoga se vidi: Da doći će do pada izlaznog napona, međutim pojačanje će biti mnogo manje od 1. To sigurno neće biti napon V_{IL} . Nije proverene pretpostavka da tranzistori T5 radi u aktivnom režimu. Međutim tokom izvođenja može da se uoči da se radi o malim strujama tako da važi ono od ranije: za male struje i male napone totempol radi u aktivnom režimu. Ali možemo i da pokažemo koristeći izraze koje smo našli. Ako smatramo da je napon i na bazi i na kolektoru tranzistora T5 dok nije proradio T3 bio V_{CC} , promena napona na bazi će biti ovo što smo našli

$$\Delta V_{B5} = \Delta V_{RC2} = -\frac{R_{C2}}{\beta_F R_{B2}} \Delta V_I$$

Dok je promena na kolektoru smatrajući da kompletna struja I_{C3} prolazi kroz otpornik R_{C4}

$$\Delta V_{C5} = -R_{C4}\beta_F \frac{\Delta V_I}{R_{B2}}$$

Promena napon između baze i kolektora u tom slučaju (bio je nula)

$$\Delta V_{BC5} = \Delta V_{B5} - \Delta V_{C5} = -\frac{R_{C2}}{\beta_F R_{B2}} \Delta V_I + R_{C4}\beta_F \frac{\Delta V_I}{R_{B2}} = \frac{\Delta V_I}{R_{B2}} \left(R_{C4}\beta_F - \frac{R_{C2}}{\beta_F} \right)$$

$$\Delta V_{BC5} \approx \frac{\Delta V_I}{R_{B2}} R_{C4}\beta_F$$

Kako je

$$\Delta V_I < V_{YT} \wedge \frac{R_{C4}\beta_F}{R_{B2}} < 1$$

onda je

$$\Delta V_{BC5} < V_{YT}$$

odnosno bazno kolektorski spoj ostaje inverzno polarizovan.

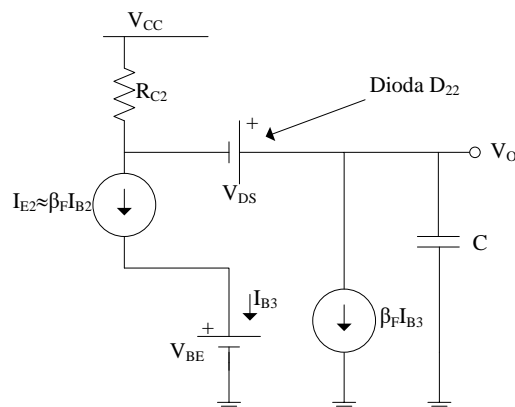
Na osnovu svega tačka V_{IL} se dobija kada proradi tranzistor T2

$$V_{IL} = -V_{D11} + V_{BE2} + V_{BE3} = -V_{DS} + V_{YT} + V_{BE}$$

Na sličan način, koristeći i ranije izvedene zaključke

$$V_{IH} = -V_{D11} + V_{BE2} + V_{BE3} = -V_{DS} + V_{BE} + V_{BES}$$

Model pražnjenja kapacitivnosti na izlazu uz zanemarivanje struja kroz otpornik R_{B2} i tranzistor T6 je



I modela se vidi da će se sada izlazna kapacitivnost praktično prazniti konstantnom strujom

$$I_C = \beta_F I_{B3} + \beta_F I_{B2} = \beta_F (\beta_F + 1) I_{B2}$$

Koja je što je veća nego što je bila u prethodnim kolima. Dioda D₂₂ ne dozvoljava da tranzistor T2 ode u zasićenje tokom velikog dela ovog procesa, i omogućuje još jednu putanju za pražnjenje kapacitivnosti na izlazu.

KATALOŠKE KARAKTERISTIKE

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54, 74			-0.4	mA
I _{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits			Unit	Test Conditions
			Min	Typ	Max		
V _{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74			0.8		
V _{IK}	Input Clamp Diode Voltage			-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54	2.5	3.5		V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table
		74	2.7	3.5		V	
V _{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I _{OL} = 4.0 mA
		74		0.35	0.5	V	I _{OL} = 8.0 mA
I _{IH}	Input HIGH Current				20	μA	V _{CC} = MAX, V _{IN} = 2.7 V
					0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current				-0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS}	Short Circuit Current (Note 1)		-20		-100	mA	V _{CC} = MAX
I _{CC}	Power Supply Current Total, Output HIGH				1.6	mA	V _{CC} = MAX
	Total, Output LOW				4.4		

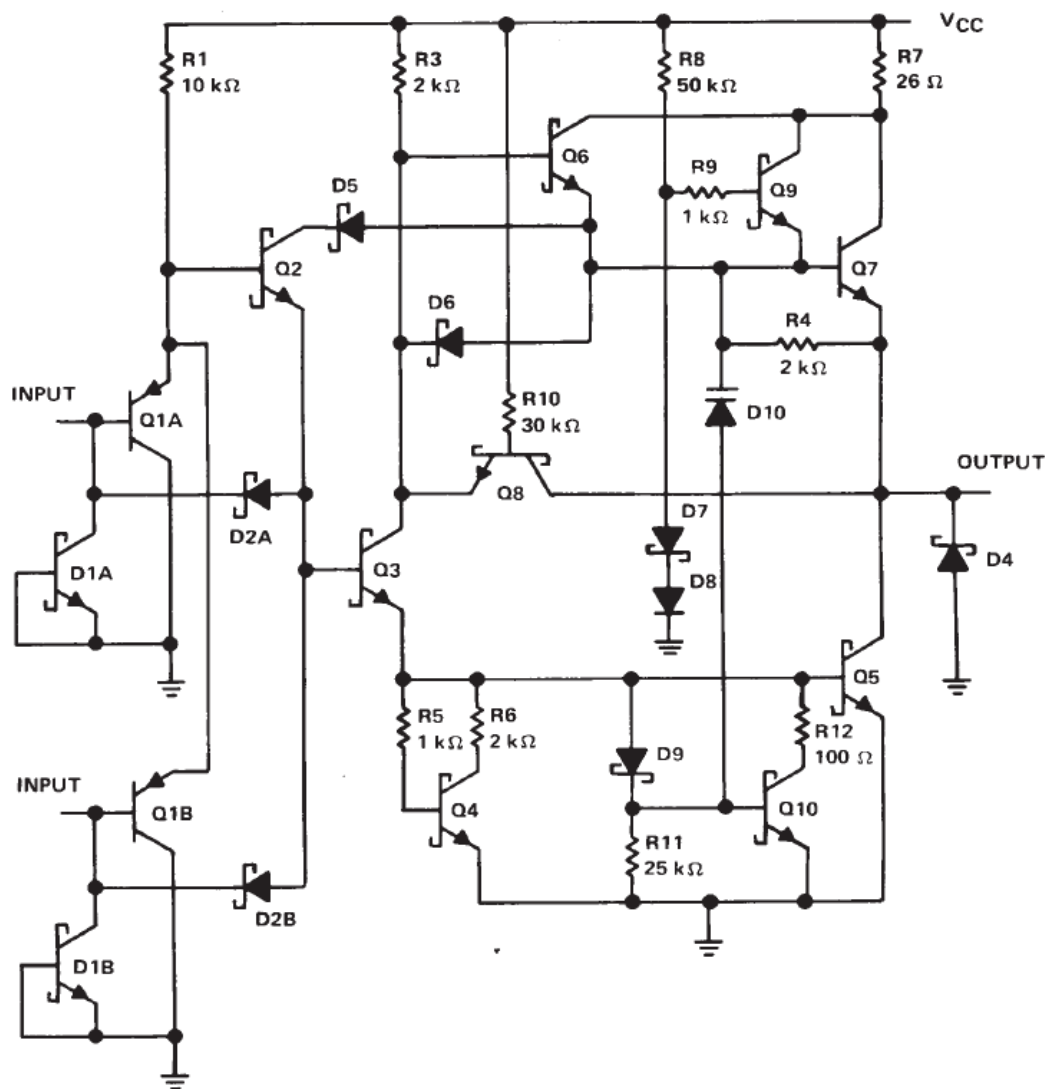
Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter		Limits			Unit	Test Conditions
			Min	Typ	Max		
t _{PLH}	Turn-Off Delay, Input to Output			9.0	15	ns	V _{CC} = 5.0 V C _L = 15 pF
t _{PHL}	Turn-On Delay, Input to Output			10	15	ns	

Advanced Schottky TTL logičko kolo

Sledeća šema je prikazana radi kompletnosti materijala. Neće biti na ispitu. Suštinski se analiza ne razlikuje puno od prethodnih kola. Međutim ima puno sitnih „detalja“ da bi se ubrzao rad kola, koje u statičkim režimima možemo ignorisati. Ono što je zanimljivo je da se u ovim kolima pojavljuje i zaštitna dioda na izlazu D_4 , a da su zaštitne diode na ulazima realizovane tranzistorom korišćenjem bazno kolektorskog spoja i kratkim spajanjem bazno emitorskog spoja. Ulazni PNP tranzistor obezbeđuje pražnjenje nosilaca iz baze tranzistora Q_2 . Tranzistor Q_2 obezbeđuje brže „kočenje“ tranzistora Q_7 . Ono što je zanimljivo jeste da dioda D_5 „verovatno“ ne vodi u statičkim režimima. Proverite ☺



KATALOŠKE KARAKTERISTIKE

recommended operating conditions

	SN54AS00			SN74AS00			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC} Supply voltage	4.5	5	5.5	4.5	5	5.5	V
V_{IH} High-level input voltage	2			2			V
V_{IL} Low-level input voltage	0.8			0.8			V
I_{OH} High-level output current	-2			-2			mA
I_{OL} Low-level output current	20			20			mA
T_A Operating free-air temperature	-55 125			0 70			°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS		SN54AS00			SN74AS00			UNIT
			MIN	TYP [‡]	MAX	MIN	TYP [‡]	MAX	
V_{IK}	$V_{CC} = 4.5\text{ V}$,	$I_I = -18\text{ mA}$	-1.2			-1.2			V
V_{OH}	$V_{CC} = 4.5\text{ V to } 5.5\text{ V}$,	$I_{OH} = -2\text{ mA}$	$V_{CC} - 2$			$V_{CC} - 2$			V
V_{OL}	$V_{CC} = 4.5\text{ V}$,	$I_{OL} = 20\text{ mA}$	0.35 0.5			0.35 0.5			V
I_I	$V_{CC} = 5.5\text{ V}$,	$V_I = 7\text{ V}$	0.1			0.1			mA
I_{IH}	$V_{CC} = 5.5\text{ V}$,	$V_I = 2.7\text{ V}$	20			20			μA
I_{IL}	$V_{CC} = 5.5\text{ V}$,	$V_I = 0.4\text{ V}$	-0.5			-0.5			mA
$I_{O§}$	$V_{CC} = 5.5\text{ V}$,	$V_O = 2.25\text{ V}$	-30 -112			-30 -112			mA
I_{CCH}	$V_{CC} = 5.5\text{ V}$,	$V_I = 0$	2 3.2			2 3.2			mA
I_{CCL}	$V_{CC} = 5.5\text{ V}$,	$V_I = 4.5\text{ V}$	10.8 17.4			10.8 17.4			mA

[‡] All typical values are at $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$.

[§] The output conditions have been chosen to produce a current that closely approximates one half of the true short-circuit output current, I_{OS} .

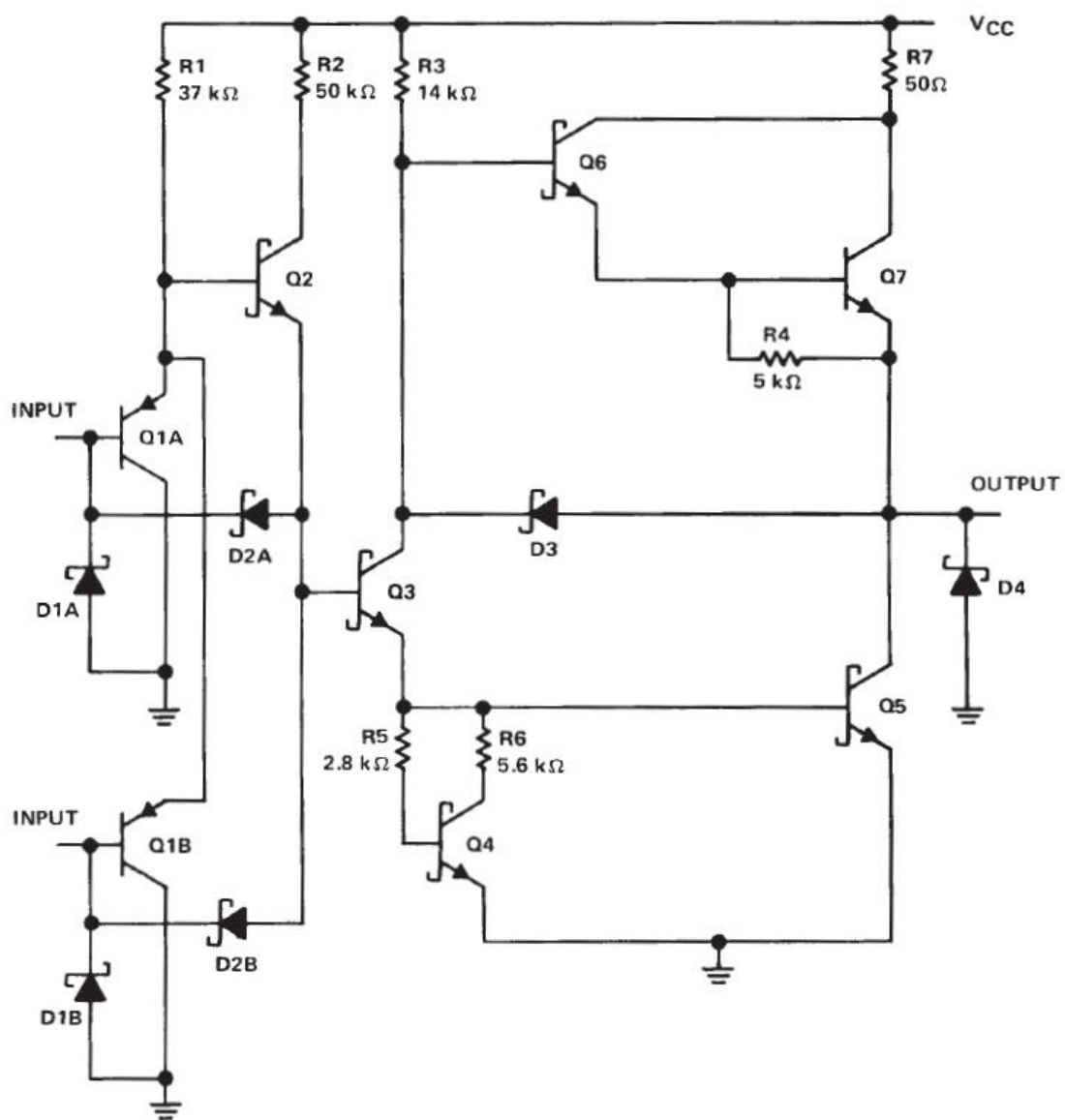
switching characteristics (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$V_{CC} = 4.5\text{ V to } 5.5\text{ V}$, $C_L = 50\text{ pF}$, $R_L = 500\ \Omega$, $T_A = \text{MIN to MAX}^{\dagger\dagger}$				UNIT
			SN54AS00		SN74AS00		
			MIN	MAX	MIN	MAX	
t_{PLH}	A or B	Y	1	5	1	4.5	ns
t_{PHL}			1	5	1	4	

^{††} For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

Advanced low power Schottky TTL logičko kolo

I ova šema je prikazana radi kompletnosti materijala. Može biti na ispitu. Suštinski se analiza ne razlikuje puno od LS TTL. Obratiti pažnju na ulazni deo.



KATALOŠKE KARAKTERISTIKE

recommended operating conditions

		SN54ALS00A			SN74ALS00A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage	0.8 [‡]			0.8			V
		0.7 [§]						
I_{OH}	High-level output current	-0.4			-0.4			mA
I_{OL}	Low-level output current	4			8			mA
T_A	Operating free-air temperature	-55	125		0	70		°C

[‡] Applies over temperature range -55°C to 70°C

[§] Applies over temperature range 70°C to 125°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS		SN54ALS00A			SN74ALS00A			UNIT
			MIN	TYP [†]	MAX	MIN	TYP [†]	MAX	
V_{IK}	$V_{CC} = 4.5\text{ V}$,	$I_I = -18\text{ mA}$	-1.2			-1.5			V
V_{OH}	$V_{CC} = 4.5\text{ V to } 5.5\text{ V}$,	$I_{OH} = -0.4\text{ mA}$	$V_{CC} - 2$			$V_{CC} - 2$			V
V_{OL}	$V_{CC} = 4.5\text{ V}$	$I_{OL} = 4\text{ mA}$	0.25 0.4			0.25 0.4			V
		$I_{OL} = 8\text{ mA}$				0.35 0.5			
I_I	$V_{CC} = 5.5\text{ V}$,	$V_I = 7\text{ V}$	0.1			0.1			mA
I_{IH}	$V_{CC} = 5.5\text{ V}$,	$V_I = 2.7\text{ V}$	20			20			μA
I_{IL}	$V_{CC} = 5.5\text{ V}$,	$V_I = 0.4\text{ V}$	-0.1			-0.1			mA
I_{O}^{\ddagger}	$V_{CC} = 5.5\text{ V}$,	$V_O = 2.25\text{ V}$	-20	-112		-30	-112		mA
I_{CCH}	$V_{CC} = 5.5\text{ V}$,	$V_I = 0$	0.5	0.85		0.5	0.85		mA
I_{CCL}	$V_{CC} = 5.5\text{ V}$,	$V_I = 4.5\text{ V}$	1.5	3		1.5	3		mA

[†] All typical values are at $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$.

[‡] The output conditions have been chosen to produce a current that closely approximates one half of the true short-circuit output current, I_{OS} .

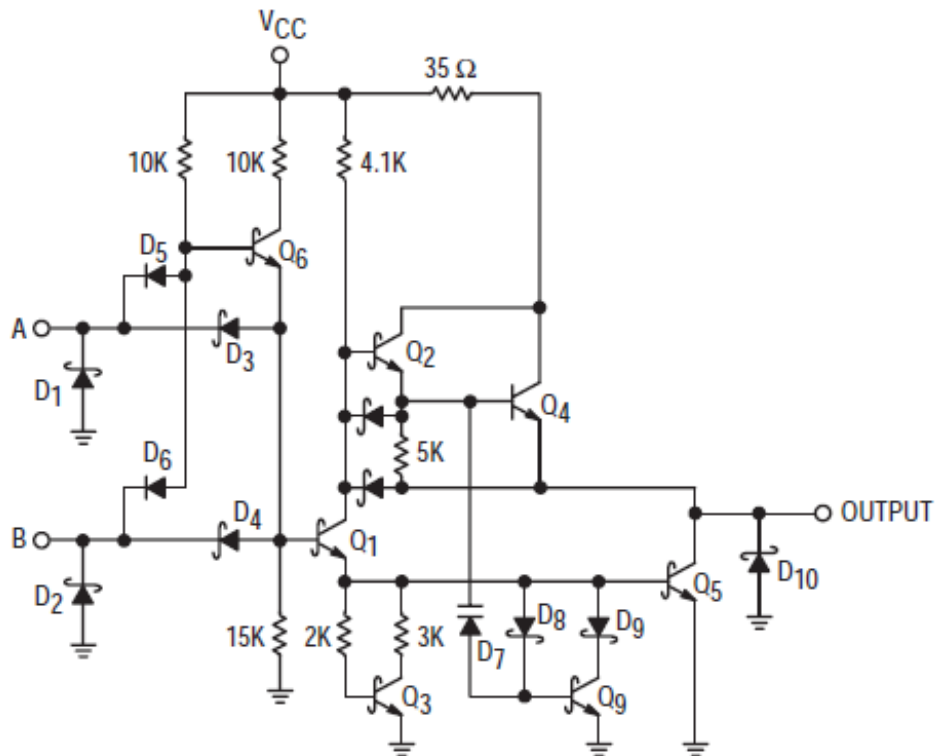
switching characteristics (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$V_{CC} = 4.5\text{ V to } 5.5\text{ V}$, $C_L = 50\text{ pF}$, $R_L = 500\ \Omega$, $T_A = \text{MIN to MAX}^{\S}$				UNIT
			SN54ALS00A		SN74ALS00A		
			MIN	MAX	MIN	MAX	
t_{PLH}	A or B	Y	3	15	3	11	ns
t_{PHL}			2	9	2	8	

[§] For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

Fast TTL logičko kolo

Vidi se da jako puno liči na ALS TTL. Jedino je proizvođač Fairchild. Prethodne šeme su od proizvođača Texas Instruments. Neće biti na ispitu. Suštinski se analiza ne razlikuje puno od prethodnih kola. Međutim ima par sitnih „detalja“ da bi se ubrzao rad kola, koje u statičkim režimima možemo ignorisati.



KATALOŠKE KARAKTERISTIKE

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54, 74	4.5	5.0	5.5	V
T _A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I _{OH}	Output Current — High	54, 74			-1.0	mA
I _{OL}	Output Current — Low	54, 74			20	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage
V _{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage
V _{IK}	Input Clamp Diode Voltage			-1.2	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54, 74	2.5		V	I _{OH} = -1.0 mA, V _{CC} = 4.50 V
		74	2.7		V	I _{OH} = -1.0 mA, V _{CC} = 4.75 V
V _{OL}	Output LOW Voltage			0.5	V	I _{OL} = 20 mA, V _{CC} = MIN
I _{IH}	Input HIGH Current			20	μA	V _{CC} = MAX, V _{IN} = 2.7 V
				0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current			-0.6	mA	V _{CC} = MAX, V _{IN} = 0.5 V
I _{OS}	Output Short Circuit Current (Note 2)	-60		-150	mA	V _{CC} = MAX, V _{OUT} = 0 V
I _{CC}	Power Supply Current Total, Output HIGH			2.8	mA	V _{CC} = MAX, V _{IN} = GND
	Total, Output LOW			10.2	mA	V _{CC} = MAX, V _{IN} = Open

NOTES:

- For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
- Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS

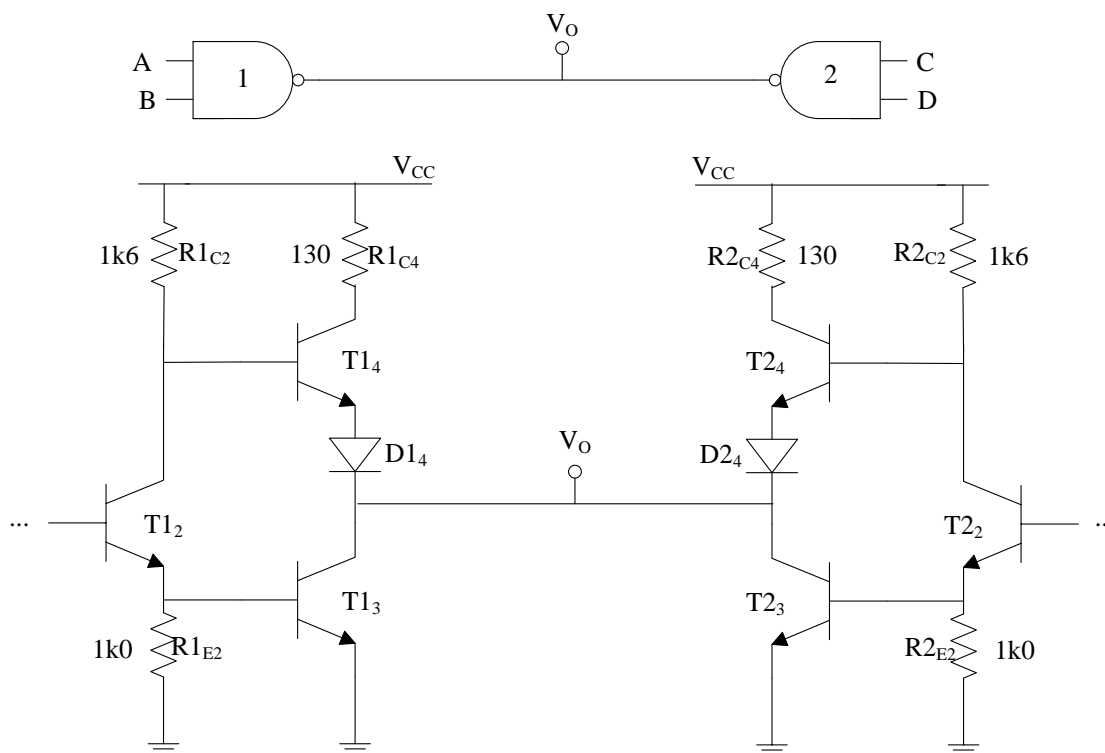
Symbol	Parameter	54/74F		54F		74F		Unit
		T _A = +25°C V _{CC} = +5.0 V C _L = 50 pF		T _A = -55°C to +125°C V _{CC} = 5.0 V ± 10% C _L = 50 pF		T _A = 0°C to 70°C V _{CC} = 5.0 V ± 10% C _L = 50 pF		
		Min	Max	Min	Max	Min	Max	
t _{PLH}	Propagation Delay	2.4	5.0	2.0	7.0	2.4	6.0	ns
t _{PHL}	Propagation Delay	1.5	4.3	1.5	6.5	1.5	5.3	ns

Trostatička logička kola

Kola sa stanjem visoke impedanse na izlazu

Pojavom totempol konfiguracije na izlazu logičkih kola i sličnih konfiguracija izlaza postalo je ZABRANJENO SPAJANJE IZLAZA logičkih kola, osim u slučajevima: kada su kola sa otvorenim kolektorom, kola sa stanjem visoke impedanse na izlazu i kada ste svesni šta radite.

Da pogledamo situaciju spajanja dva izlaza logičkih kola u istu tačku



Koje su mogućnosti

Treba V_{O1}	Treba V_{O2}	$T1_3$	$T1_4$	$T2_3$	$T2_4$	V_O
V_L	V_L	Vodi	Ne vodi	Vodi	Ne vodi	V_L
V_L	V_H	Vodi	Ne vodi	Ne vodi	Vodi	„DIM“
V_H	V_L	Ne vodi	Vodi	Vodi	Ne vodi	„DIM“
V_H	V_H	Ne vodi	Vodi	Ne vodi	Vodi	V_H

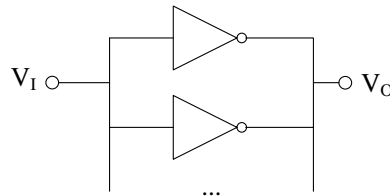
Kada na oba izlaza treba da bude V_L vode tranzistori $T1_3$ i $T2_3$, zakočeni su tranzistori $T1_4$ i $T2_4$, pa će na izlazu biti logička nula. Nema nikakvog konflikta. Nema kratkog spoja. Slična situacija je i kada na oba izlaza treba da bude V_H . Vode tranzistori $T1_4$ i $T2_4$, zakočeni su tranzistori $T1_3$ i $T2_3$, pa će na izlazu biti logička jedinica. Nema nikakvog konflikta. Nema kratkog spoja.

Međutim ako na jednom izlazu treba da bude V_L a na drugom V_H vidimo da će voditi tranzistori T_3 i T_4 . Postoji direktna putanja od napajanja prema masi. Dolazi do preterane

disipacije na izlaznim tranzistorima i ono će vrlo verovatno biti „spaljeni“. U stvarnoj situaciji zaista bi se osetio dim od plastičnog kućišta integrisanog kola koje se pregrejalo.

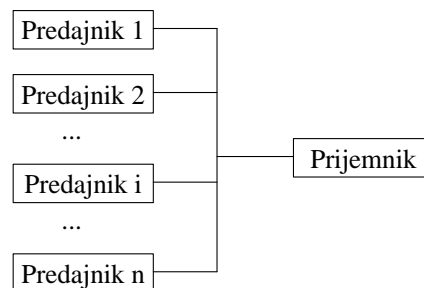
Videli smo da ovo smemo da radimo kada su u pitanju kola sa otvorenim kolektorom.

I u retkim situacijama gledajući prethodnu analizu mogli bi da uradimo paralelovanje logičkih kola sa eventualnim ciljem povećanja strujnih kapaciteta.

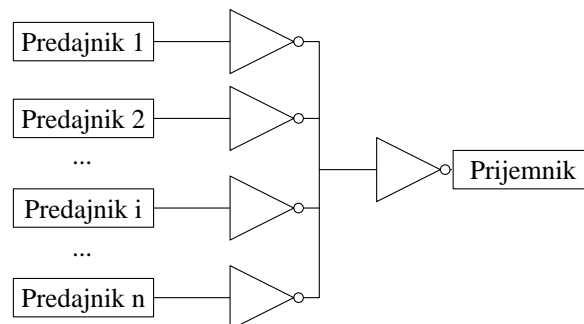


Normalno, kola moraju biti iste vrste, jako sličnih karakteristika, najbolje u istom kućištu itd..., odnosno morate biti svesni šta radite.

Česta situacija koju ćemo sretati prilikom sinteze, pravljenja, digitalnih sistema može simbolično da se predstavi na sledeći način



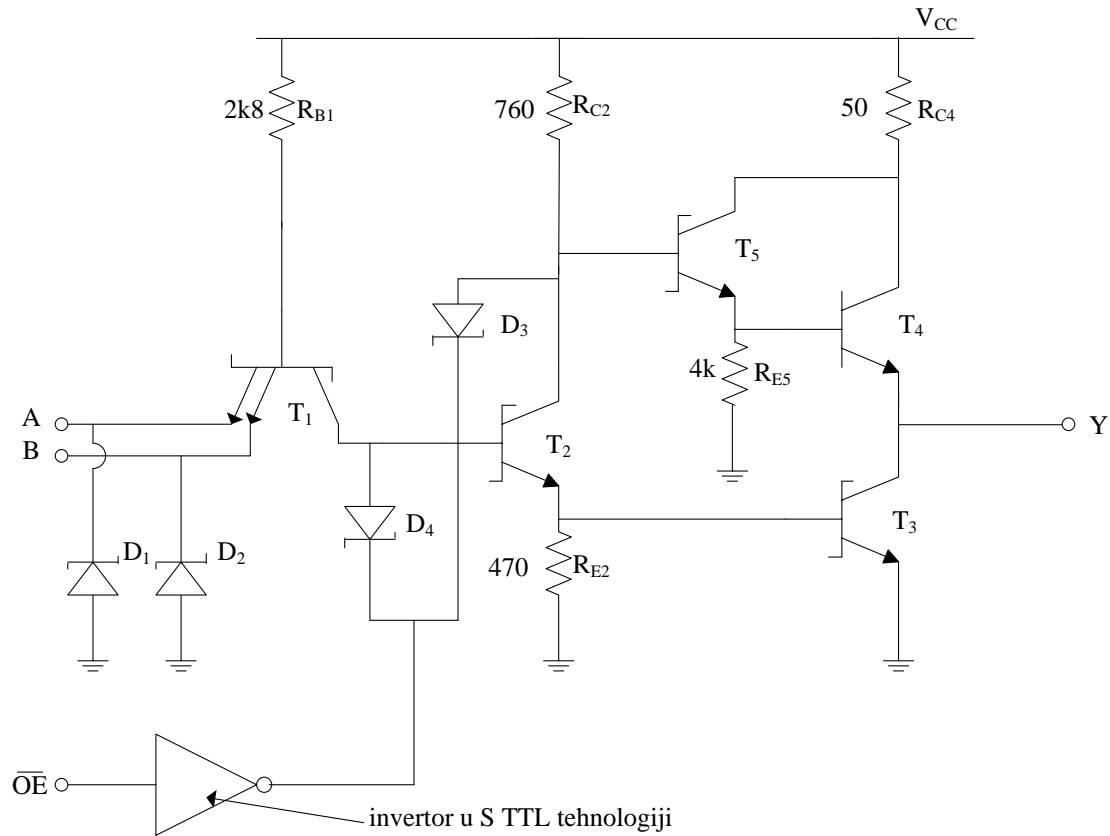
Odnosno trebaće nam mogućnost da do nekog dela sistema preko iste linije dovedemo signale iz više drugih delova sistema. Ne zaboravite da je sve ovo realizovano sa logičkim kolima odnosno da dolazimo do na primer sledeće situacije



što smo videli da je zabranjeno. Šta nam treba? Ako na primer Predajnik i treba da prosledi svoje logičke signale Prijemniku, izlazi ostalih logičkih kola, ostalih Predajnika trebali bi da se „otkače“ od zajedničke linije. Odnosno izlaze tih logičkih kola trebali bi da postavimo u

„stanje visoke impedanse“. Kako bi to mogli da uradimo kod TTL logičkih kola. Tako što ćemo oba izlazna tranzistora zakočiti, i „donji“ tranzistor i tranzistor u totempol konfiguraciji.

Na primer kod S TTL kola



S TTL kolo sa stanjem visoke impedanse na izlazu

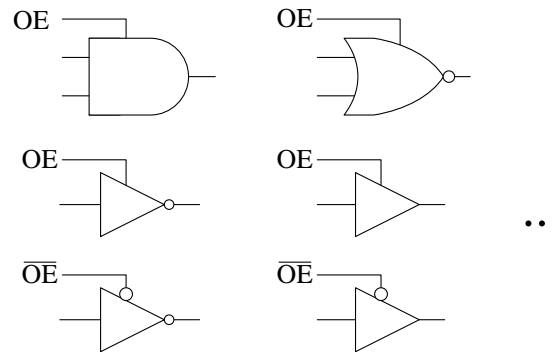
Da se ne bi komplikovao crtež na slici je prikazan simbol invertora. On se realizuje na isti način kao i S TTL kolo da bi i ulaz u taj inverter bio identičan po karakteristikama kao i ulazi A i B.

Kada je na ulazu u inverter nizak napon, izlaz invertora će biti na visokom nivou. Katode dioda D4 i D3 su na visokom nivou, nemaju uslove za provođenje (na izlazu invertora radi samo totempol konfiguracija) i ne remete „normalan“ rad kola. Kolo će obavljati svoju logičku funkciju. U ovom slučaju dvoulazno NI logičko kolo.

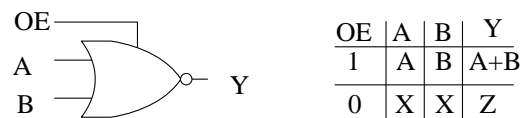
Kada je na ulazu u inverter visok napon, izlaz invertora će biti na niskom nivou. Katode dioda D4 i D3 su na niskom naponskom nivou i imaju uslove za provođenje (na izlazu invertora vodi „donji“ tranzistor). One će obezbediti da na bazi tranzistora T2 bude nizak napon ($V_{OL} + V_{DS}$), odnosno napon koji nije dovoljan da se uključe tranzistori T2 i T3. Isto tako će biti nizak napon i na bazi tranzistora T5 ($V_{OL} + V_{DS}$), pa ni on nema uslove za provođenje, a samim time ni tranzistor T4. Na izlazu su oba izlazna tranzistora zakočena. Logičko kolo niti može da daje struju, niti može da prihvati struju, bez obzira koji je eventualno napon na izlazu kao posledica rada nekih drugih kola priključenih na istu liniju kao i izlaz ovog

logičkog kola. Zato se za ovu situaciju kaže da je izlaz u stanju visoke impedanse i obeležava se sa Z. Logička kola koja imaju ovu osobinu nazivaju se logičkim kolima sa stanjem visoke impedanse na izlazu ili trostatičkim logičkim kolima (stanje logičke nule na izlazu, stanje logičke jedinice na izlazu, stanje visoke impedanse na izlazu). Ulaz koji kontroliše stanje visoke impedanse se najčešće naziva ENABLE (E - signal dozvole) ili OUTPUT ENABLE (OE – signal dozvole izlaza). Uočiti da je u ovom primeru sa aktivnom logičkom nulom,

Za ova logička kola postoje posebni simboli, formirani od simbola standardnog logičkog kola na koji se sa strane dodaje kontrolni ulaz.



Uočiti da BULOVA ALGEBRA NE VAŽI ZA OVA KOLA. Ova kola imaju tri stanja sa kojima Bulova algebra ne može da se izbori. Opisi funkcija ovih kola, ili delova sistema daje se preko tabela



Znači možemo delimično da ih opišemo Bulovom algebrom ali ne u potpunosti. Bulova algebra ne poznaje stanje Z. Na primer jednačina

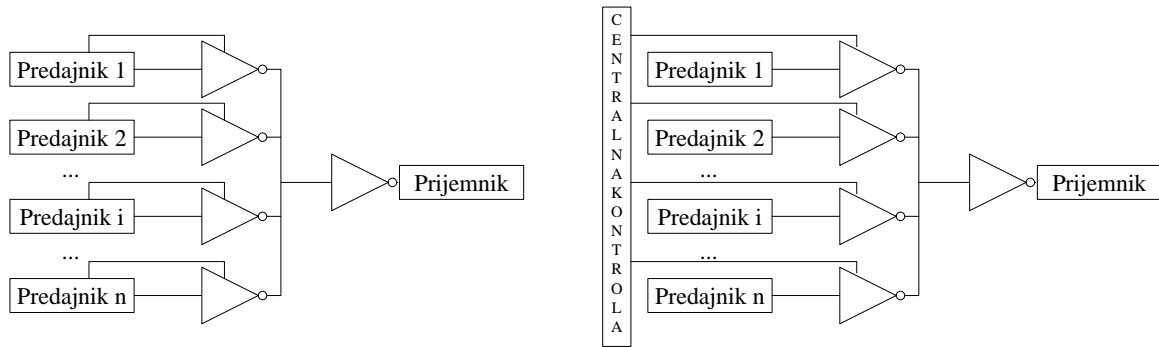
$$Y = OE(A + B)$$

za ovo kolo sigurno nije tačna. Ona kao rešenje za OE=0 daje Y=0, što nije tačno. Za OE=0 Y=Z,

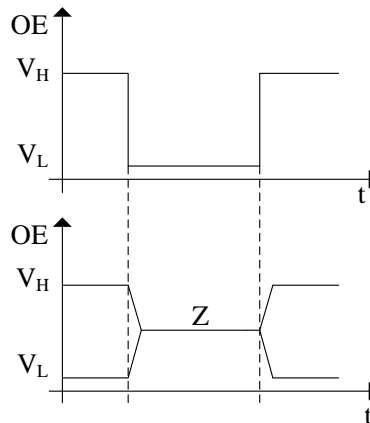
U tabeli je oznakom X označeno bilo koje logičko stanje, svejedno da li je logička jedinica ili nuli. Nekada ćemo to označavati i sa malim x ili sa malim b (bilo šta).

Korišćenjem trostatičkih kola možemo da razrešimo naš problem. Međutim ostaje pitanje ko „otvara“ trostatička kola. Jedno rešenje je sam predajnik koji želi da „zauzme“ zajedničku liniju. Tada on mora znati da niko drugi ne koristi zajedničku liniju odnosno da su svi ostali predajnici stavili svoje izlaze u stanje visoke impedanse. Kako on to zna izlazi iz domena našeg predmeta i to ćemo ostaviti za neke druge predmete. Jednostavnija situacija da postoji

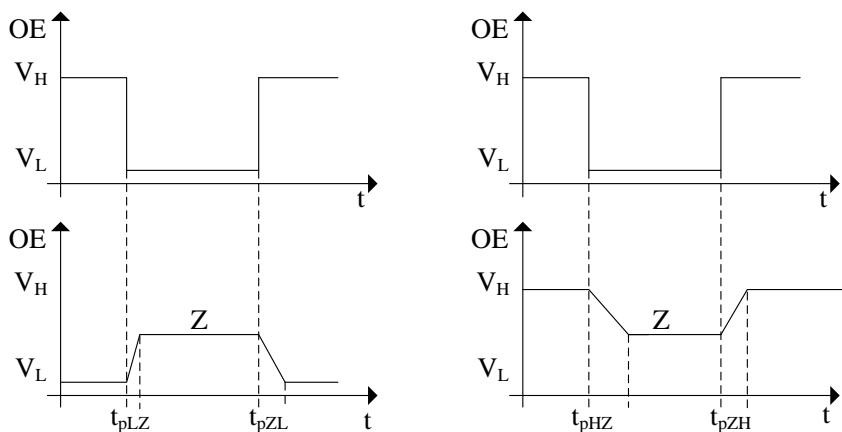
centralna kontrola, koja će u nekom trenutku samo jednom predajniku dozvoljavati da zauzme zajedničku liniju.



U vremenskim dijagramima, kao što smo videli kod kola sa otvorenim kolektorom, stanje visoke impedanse se crta na srđini između nivo logičke jedinice i logičke nule.

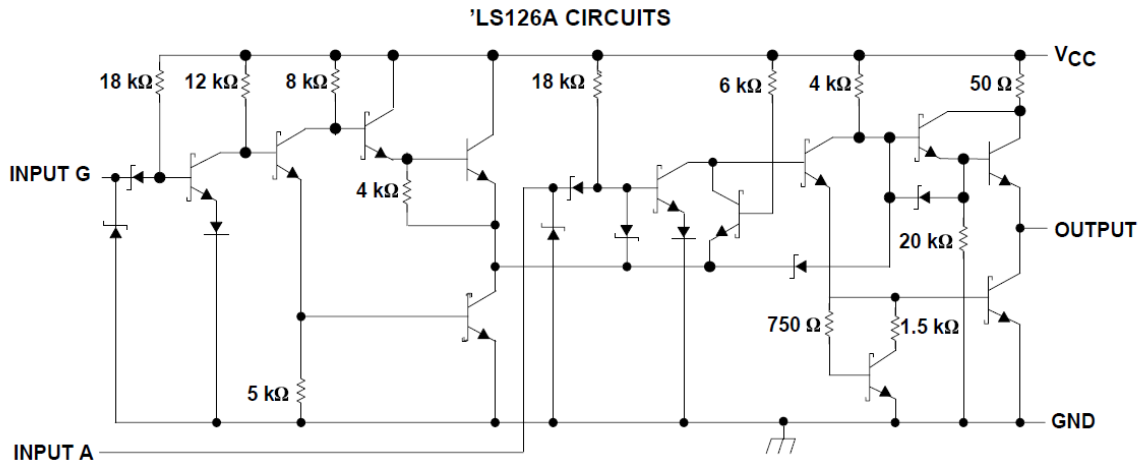


Zbog konfiguracije trostatičnog kola („onog“ invertora na ulazu OE koji unosi dodatna kašnjenja) pojavljuju se dodatna kašnjenja o kojima treba voditi računa



i koja nisu jednaka između sebe kao ni sa standardnim kašnjenjima kroz logičko kolo kada nije u stanju visoke impedanse.

Nemaju svi proizvođači, što je i logično identične konfiguracije TTL logičkih kola. Svaki proizvođač će dodati još nešto svoje kako bi njegova logička kola bila „najbolja“. Sva ona zadovoljavaju osnovne specifikacije, ali se razlikuju u sitnim detaljima. Na primer trostatički bafer Texas Instruments firme



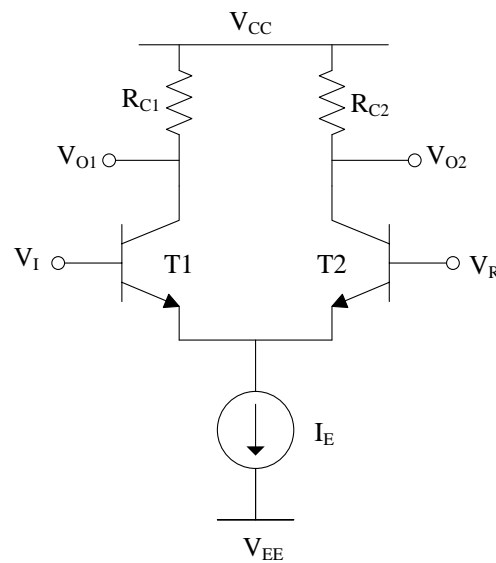
PARAMETER	TEST CONDITIONS	SN54LS125A SN74LS125A			SN54LS126A SN74LS126A			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	$R_L = 667 \Omega$, $C_L = 45 \text{ pF}$	9 15			9 15			ns
t_{PHL}		7 18			8 18			
t_{PZH}	$R_L = 667 \Omega$, $C_L = 45 \text{ pF}$	12 20			16 25			ns
t_{PZL}		15 25			21 35			
t_{PHZ}	$R_L = 667 \Omega$, $C_L = 5 \text{ pF}$	20			25			ns
t_{PLZ}		20			25			

ECL logička kola

Emitter Coupled Logic

Drugi predstavnik, pojačavač, iz analogne elektronike koji bi mogao da bude kandidat za logičko kolo jeste diferencijalni pojačavač. Na ovom mestu treba reći da istorijski gledano je prvi. ECL logička kola su se praktično pojavila 1956 godine. I danas se široko koriste u delovima digitalnih sistema gde je potrebna brzina na račun disipacije; imaju velike brzine rada ali i velike disipacije. Čak su i neki procesori realizovani u ovoj tehnologiji. 1979. godine je Motorola tržištu ponudila 4-bitni procesor MC10800 realizovan u ECL tehnologiji.

Kao što je rečeno osnovu ECL logičkih kola čini diferencijalni pojačavač



Ulazni napon V_I je na bazi tranzistora T1, dok je na bazi tranzistora T2 referentni, fiksni, napon V_R . Kao i kod drugih diferencijalnih pojačavača možemo izlaz uzeti bilo sa kolektora tranzistora T1, V_{O1} , bilo sa kolektora tranzistora T2, V_{O2} . Zbog toga ECL logička kola po pravilu imaju dva izlazna priključka.

Karakteristiku prenosa bi trebalo da crtamo na standardan način, počevši od najnižeg napona, pa ga postepeno povećavajući. Međutim ovde ćemo malo drugačije. Prvo zbog toga što još uvek ne poznajemo napon V_{EE} , a nigde nema referentnog potencijala mase. Krenućemo od napona $V_I \ll V_R$. Po konturi V_I , BE T1, EB T2, V_R možemo da napišemo (i to će uvek važiti)

$$V_I = V_{BE1} - V_{BE2} + V_R$$

Kako smo pretpostavili $V_I \ll V_R$

$$V_I = V_{BE1} - V_{BE2} + V_R \ll V_R$$

$$V_{BE1} - V_{BE2} \ll 0$$

Uočiti da zbog strujnog izvora I_E mora voditi bar jedan tranzistor. (Idealan strujni izvor će prilagoditi napon na sebi tako da obezbedi putanju struju)

Očigledno je da nejednakost može da zadovolji jedino uslovi

$$V_{BE1} \ll 0$$

$$V_{BE2} = V_{BE}$$

odnosno situacija da je tranzistor T1 zakočen, a da tranzistor T2 vodi. Otpornik R_{C2} i struja I_E se biraju sa uslovom

$$V_{C2} = V_{CC} - R_{C2}I_{C2} = V_{CC} - R_{C2}I_E > V_R$$

tako da tranzistor T2 kada radi ne ide u zasićenje (sva struja strujnog izvora prolazi kroz tranzistor T2 – zanemarićemo bazne struje tranzistora T1 i T2). Napon na kolektoru tranzistora T2 je istovremeno i izlazni napon na izlazu V_{O2}

$$V_{O2} = V_{C2} = V_{CC} - R_{C2}I_{E2}$$

Napon na izlazu V_{O1} je

$$V_{O1} = V_{C1} = V_{CC} - R_{C1}I_{C1} = V_{CC}$$

Prilikom povećanja ulaznog napona, smanjuje se inverzna polarizacija BE spoja tranzistora T1, i pri nekom ulaznom naponu BE spoj postaje pozitivno polarizovan i mogu da se stvore uslovi da i tranzistor T1 počne da vodi

$$V_I = V_{BE1} - V_{BE2} + V_R$$

$$V_I = V_{YT} - V_{BE} + V_R$$

Pri tom ulaznom naponu još uvek sva struja I_E prolazi kroz tranzistor T2, ali prilikom daljeg povećavanja ulaznog napona počinje da se pojavljuje i struja kroz tranzistor T1. U situaciji kada su oba tranzistora identično polarizovana ulazni napon je

$$V_I = V_{BE} - V_{BE} + V_R = V_R$$

Tada kroz svaki tranzistor prolazi polovina struje I_E pa je

$$V_{O2} = V_{O1} = V_{CC} - R_{C2} \frac{I_{E2}}{2} = V_{CC} - R_{C1} \frac{I_{E2}}{2}$$

odnosno bira se $R_{C2} = R_{C1} = R_C$ tako da taj uslov bude ispunjen. Daljim porastom ulaznog napona sve više struje prolazi kroz transistor T1, sve manje kroz transistor T2, dok tranzistor T2 ne dođe na ivicu provođenja pri naponu

$$V_I = V_{BE} - V_{YT} + V_R$$

Daljim porastom ulaznog napona vodiće tranzistor T1, dok će tranzistor T1 biti zakočen

$$V_I > V_{BE} - V_{YT} + V_R$$

Ovde treba uočiti i jednu „neregularnu situaciju“ kada raste ulazni napon a tranzistor T1 vodi kompletnu struju I_E

$$V_{C1} = V_{CC} - R_{C1}I_E$$

$$V_{E1} = V_I - V_{BE1} = V_I - V_{BE}$$

$$V_{CE1} = V_{CC} - R_{C1}I_E - V_I + V_{BE}$$

Da bi tranzistor uvek radio u aktivnom režimu

$$V_{CE1} = V_{CC} - R_{C1}I_E - V_I + V_{BE} > V_{CES}$$

$$V_{CC} - R_{C1}I_E - V_{CES} + V_{BE} > V_I$$

međutim porastom ulaznog napona vidi se da tranzistor T1 može otići u zasićenje kada ovaj uslov ne bude ispunjen. Znači pri ulaznom naponu

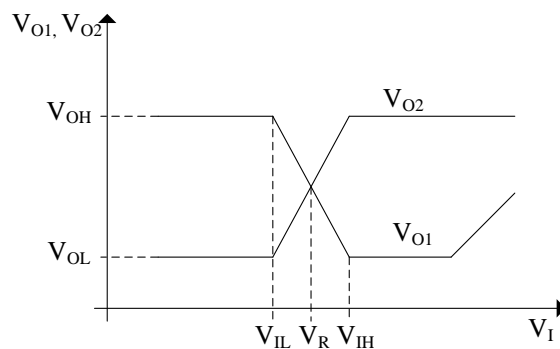
$$V_I = V_{CC} - R_{C1}I_E - V_{CES} + V_{BE}$$

tranzistor T1 ulazi u zasićenje i tada je izlazni napon

$$V_{O1} = V_I - V_{BE} + V_{CES}$$

Ovo je neregularan rad ECL kola. Kao što smo videli to ovog ulaznog napona tranzistori T1 i T2 su ili zakočeni ili rade u aktivnom režimu. Time je obezbeđeno i da mogu brzo da se uključe ali da mogu i da se brzo isključe. Time je dobijena velika brzina rada ECL logičkih kola. Znači ovu situaciju da tranzistor T1 ide u zasićenje treba izbegavati.

Karakteristika prenosa je



Na osnovu naše prethodne analize možemo odmah da pišemo

$$V_{OL} = V_{CC} - R_C I_E$$

$$V_{OH} = V_{CC}$$

$$V_{IL} = V_{YT} - V_{BE} + V_R$$

$$V_{IH} = V_{BE} - V_{YT} + V_R$$

Da bi postojalo održavanje naponskih nivoa

$$V_{OH} > V_{IH} = V_{BE} - V_{\gamma T} + V_R$$

$$V_{OH} - (V_{BE} - V_{\gamma T}) > V_R$$

i

$$V_{OL} < V_{IL} = V_{\gamma T} - V_{BE} + V_R$$

$$V_{OL} + (V_{BE} - V_{\gamma T}) < V_R$$

i smatramo da su simetrično raspoređeni

$$V_{OH} - (V_{BE} - V_{\gamma T}) - \Delta = V_R$$

$$V_{OL} + (V_{BE} - V_{\gamma T}) + \Delta = V_R$$

očigledno je na referentni napon V_R treba postaviti tako da je

$$V_R = \frac{V_{OH} + V_{OL}}{2} = V_{CC} - R_C \frac{I_E}{2}$$

odnosno da su naponi V_{OH} i V_{OL} simetrično raspoređeni oko napona V_R . Uočiti da su tačke V_{IL} i V_{IH} simetrično raspoređene oko napona V_R . Međutim sada treba uočiti jednu bitnu stvar, a to je da za ovako izabrani referentni napon i ovakvu konfiguraciju teško je postići održavanja naponskih nivoa.

Za ovako izabrani referentni napon na primer kada vodi tranzistor T2 celokupnu struju

$$V_{B2} = V_R = V_{CC} - R_C \frac{I_E}{2}$$

$$V_{E2} = V_{B2} - V_{BE2} = V_{CC} - R_C \frac{I_E}{2} - V_{BE}$$

$$V_{C2} = V_{CC} - R_C I_E$$

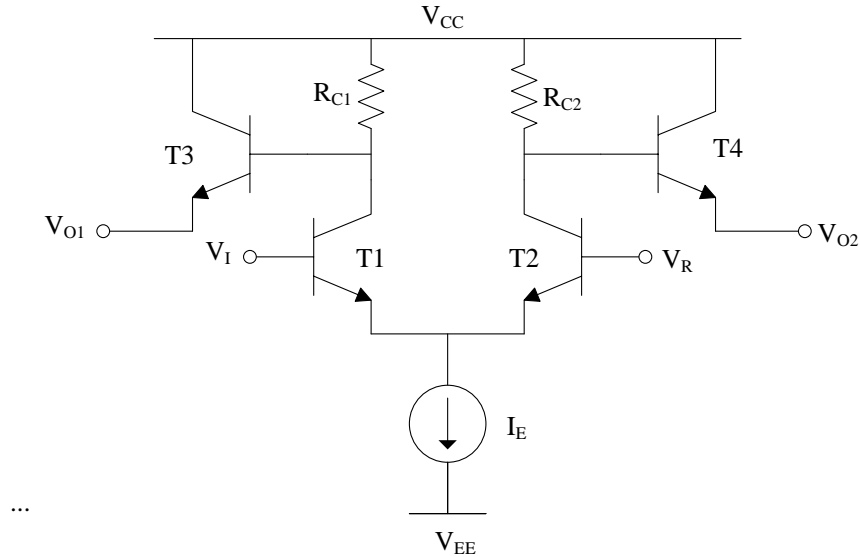
$$V_{CE2} = V_{C2} - V_{E2} = V_{CC} - R_C I_E - \left(V_{CC} - R_C \frac{I_E}{2} - V_{BE} \right)$$

i on mora ostati u aktivnom režimu

$$V_{CE2} = V_{BE} - R_C \frac{I_E}{2} > V_{CES}$$

Znači jako precizno moraju biti izabrani otpornici kao I struja strujnog izvora. I to je različito u odnosu na prethodne familije. Tamo da li je 9k ili 10k nam nije uticalo na funkcionisanje kola. Ovde neće biti čudno ako vidimo da neki otpornik treba da bude 779Ω .

Ovde treba uočiti da će bilo kakva struja kroz izlaz poremetiti ove uslove, odnosno da se lako može desiti da tranzistori odu u zasićenje zbog izlaznih struja. Zbog toga se u realnom ECL kolu dodaju izlazni baferi koji će obezbediti povećane strujne kapacitete ali neće poremetiti naponske nivoe (pojačavač sa zajedničkim kolektorom)



Tranzistori T3 i T4 će zbog svoje konfiguracije, podrazumevajući da postoji neka struja na izlazu, uvek raditi u aktivnom režimu. Menjaju se naponi logičke nule i jedinice

$$V_{OL} = V_{CC} - R_C I_E - V_{BE}$$

$$V_{OH} = V_{CC} - V_{BE}$$

Uslovi za izbor elemenata se ne menjaju.

Uobičajeno za ECL logička kola jeste da rade sa negativnim naponima napajanja odnosno $V_{CC}=0=V_{GND}$, $V_{EE}<0$ (standardno $V_{EE}=-5.2V$). Zašto? Ako se napon napajanja V_{CC} zbog smetnji promeni za ΔV_{CC} za istu tu vrednost će se promeniti i izlazni napon

$$V_O = V_{CC} - R_C I_C - V_{BE}$$

$$V_O + \Delta V_O = V_{CC} + \Delta V_{CC} - R_C I_C - V_{BE}$$

$$\Delta V_O = \Delta V_{CC}$$

Ako se napon napajanja V_{EE} zbog smetnji promeni za ΔV_{EE} ta promena će se u znatno manjoj meri preneti na izlaz u slučaju da strujni izvor nije idealan (ako je idealan biće nula)

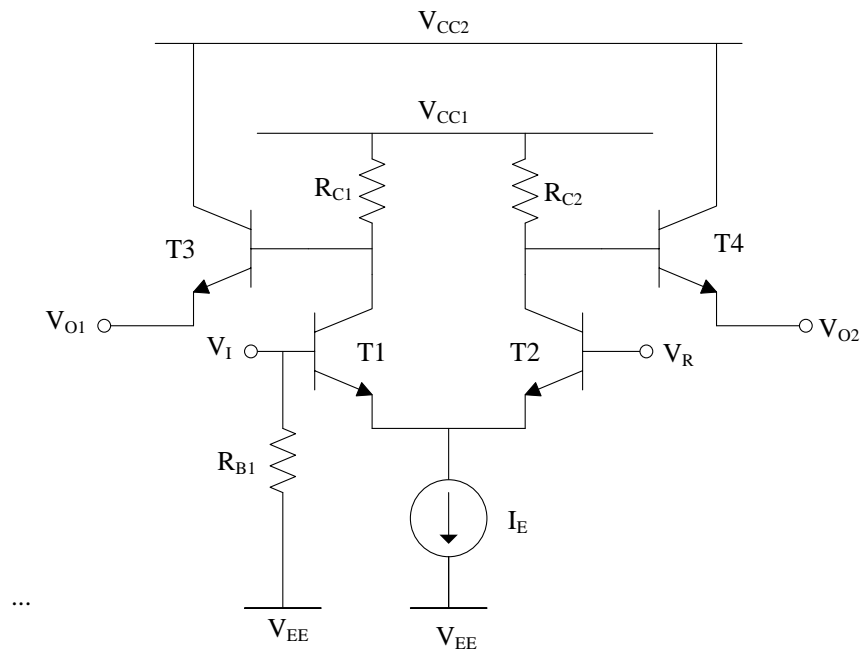
$$V_O = V_{CC} - R_C I_C - V_{BE}$$

$$V_O + \Delta V_O = V_{CC} - R_C (\Delta I_C) - V_{BE} = V_{CC} - R_C (\Delta I_E) - V_{BE}$$

$$V_O + \Delta V_O = V_{CC} - R_C (\Delta I_C) - V_{BE} = V_{CC} - R_C \left(\frac{\Delta V_{EE}}{R_{IE}} \right) - V_{BE}$$

$$\Delta V_O = -\frac{R_C}{R_{IE}} \Delta V_{EE}$$

gde je R_{IE} otpornost strujnog izvora (paralelna sa strujnim izvorom) i mnogo je veća od otpornika R_C . Jako bitno za ECL logička kola pošto smo mogli da vidimo da će margine šuma biti jako male. Potencijal mase se smatra najstabilnijim potencijalom i „otpornim na šum“. Isto tako česta situacija je



da se razdvoje napajanje diferencijalnog pojačavača i izlaznih bafera. Na ovaj način kroz napajanje V_{CC1} uvek prolazi konstantna struja I_E , nema promena struja, nema padova napona na parazitnim efektima linija, nema promene izlaznog napona. Promene struja koje potiču od promene izlaznih opterećenja se reflektuju kroz napajanje V_{CC2} , ali to zbog konfiguracije tranzistora T3 i T4 „pojačavač sa zajedničkim kolektorom“ ne utiče na izlazni napon.

Da bi se obezbedio pražnjenje nosilaca iz baze tranzistora T1 kada je stanje na ulazu da on treba da bude zakočen (prelazi iz aktivnog režima u zakočenje) na ulazni priključak, bazu tranzistora T1, se postavlja puldaun otpornik prema napajanju V_{EE} čija je uobičajena vrednost 50k.

Ulazni strujni kapaciteti su

$$I_{IL} = \frac{V_I - V_{EE}}{R_B} = \frac{V_{IL} - V_{EE}}{R_B}$$

$$I_{IH} = \frac{V_I - V_{EE}}{R_B} + \frac{I_E}{\beta_F} = \frac{V_{OH} - V_{EE}}{R_B} + \frac{I_E}{\beta_F}$$

Dok su strujni kapaciteti izlaza

$$I_{OH} = \beta_F \frac{V_{CC} - (V_{OHmin} + V_{BE})}{R_C}$$

pri čemu je V_{OHmin} određeno time da tranzistor T1 (ili T2) ne odu u zasićenje.

Strujni kapacitet logičke nule je praktično beskonačan, pošto je tada odgovarajući tranzistor zakočen pa struja baze baferskog tranzistora ne utiče na njegov režim rada.

U dinamičkom režimu parazitna kapacitivnost C na izlazu, podrazumevajući da se kolo nalazi u lancu istih takvih kola, se prazni preko otpornosti R_{B1} sa

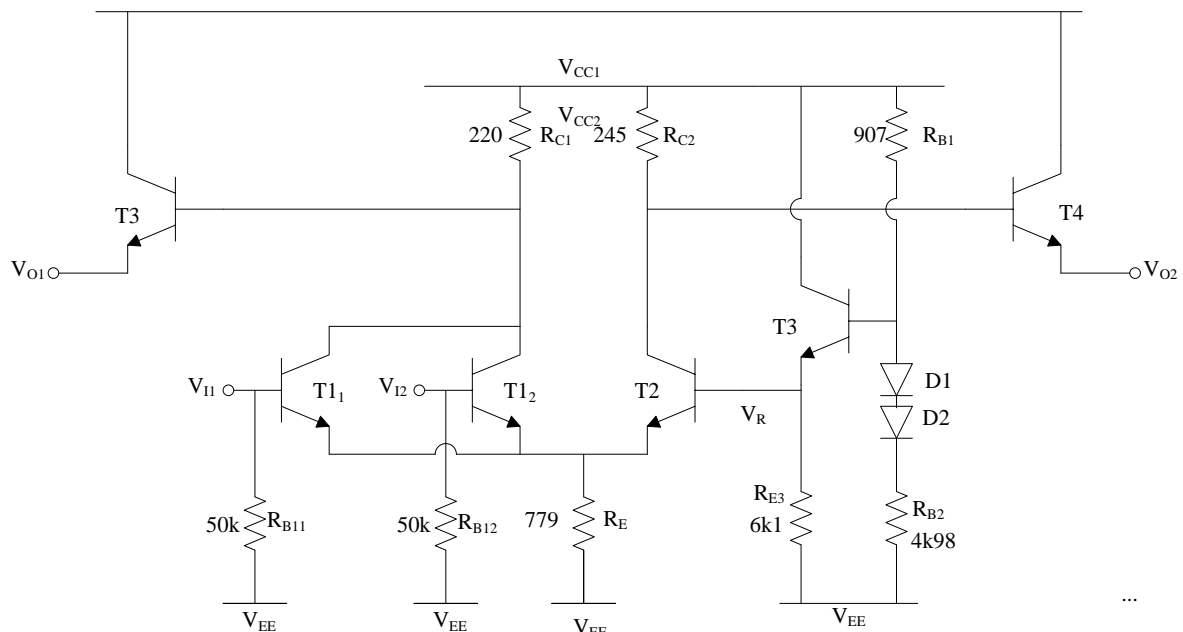
$$\tau = CR_{B1} \text{ i } v_o(t_0^+) = V_{OH} \text{ i } v_o(\infty) = V_{EE} \text{ i } v_o(t_0 + t_{pHL}) = \frac{V_{OH} + V_{OL}}{2}$$

dok se puni preko izlaznih bafera koji rade u aktivnom režimu sa

$$\tau = C \frac{R_C}{\beta_F} \text{ i } v_o(t_0^+) = V_{OL} \text{ i } v_o(\infty) = V_{CC} \text{ i } v_o(t_0 + t_{pHL}) = \frac{V_{OH} + V_{OL}}{2}$$

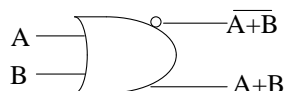
Zbog male razlike napona V_{OH} i V_{OL} ovi procesi će biti jako brzi.

Standardno dvoulazno ECL kolo je



Drugi ulaz je ostvaren dodavanjem još jednog tranzistora u paraleli sa tranzistorom T1. Time je istovremeno obezbeđena i NILI logička funkcija. Ili radi jedan ili drugi. Kao kod RTL kola. Kako ECL logička kola imaju dva komplementarna izlaza na jednom se ostvaruje ILI dok se na drugom ostvaruje NILI logička funkcija.

Simbol ECL logičkih kola dobija se modifikacijom osnovnog simbola dodavanjem dva izlaza



Što se same upotrebe ECL logičkih kola, nadam se da je vidljivo da smo mogli bez problema da ih koristimo i tako što ćemo staviti $V_{CC}=+5.2V$ i $V_{EE}=0$. I savremena ECL logička kola se u mnogim situacijama tako i koriste, odnosno prave se PECL logička kola (Positive ECL) koja su predviđena za korišćenje sa pozitivnim naponima napajanja. A kada se koriste sa negativnim naponima onda su NECL (Negative ECL).

IZ KATALOGA ZA JEDNO ČETVOROULAZNO ILI-NILI KOLO

Table 4. MAXIMUM RATINGS

Symbol	Parameter	Condition 1	Condition 2	Rating	Unit
V_{CC}	PECL Mode Power Supply	$V_{EE} = 0 V$		6	V
V_{EE}	NECL Mode Power Supply	$V_{CC} = 0 V$		-6	V
V_I	PECL Mode Input Voltage	$V_{EE} = 0 V$	$V_I \leq V_{CC}$	6	V
	NECL Mode Input Voltage	$V_{CC} = 0 V$	$V_I \leq V_{EE}$	-6	V
I_{out}	Output Current	Continuous		50	mA
		Surge		100	mA

Table 6. 10EP DC CHARACTERISTICS, PECL $V_{CC} = 5.0 V$, $V_{EE} = 0 V$ (Note 4)

Symbol	Characteristic	-40°C			25°C			85°C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
I_{EE}	Power Supply Current	45	57	75	45	58	75	45	59	75	mA
V_{OH}	Output HIGH Voltage (Note 5)	3865	3990	4115	3930	4055	4180	3990	4115	4240	mV
V_{OL}	Output LOW Voltage (Note 5)	3065	3190	3315	3130	3255	3380	3190	3315	3440	mV
V_{IH}	Input HIGH Voltage (Single-Ended)	3790		4115	3855		4180	3915		4240	mV
V_{IL}	Input LOW Voltage (Single-Ended)	3065		3390	3130		3455	3190		3515	mV
I_{IH}	Input HIGH Current			150			150			150	μA
I_{IL}	Input LOW Current	-150			-150			-150			μA

Table 7. 10EP DC CHARACTERISTICS, NECL $V_{CC} = 0 V$, $V_{EE} = -5.5 V$ to $-3.0 V$ (Note 6)

Symbol	Characteristic	-40°C			25°C			85°C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
I_{EE}	Power Supply Current	45	57	75	45	58	75	45	59	75	mA
V_{OH}	Output HIGH Voltage (Note 7)	-1135	-1010	-885	-1070	-945	-820	-1010	-885	-760	mV
V_{OL}	Output LOW Voltage (Note 7)	-1935	-1810	-1685	-1870	-1745	-1620	-1810	-1685	-1560	mV
V_{IH}	Input HIGH Voltage (Single-Ended)	-1210		-885	-1145		-820	-1085		-760	mV
V_{IL}	Input LOW Voltage (Single-Ended)	-1935		-1610	-1870		-1545	-1810		-1485	mV
I_{IH}	Input HIGH Current			150			150			150	μA
I_{IL}	Input LOW Current	-150			-150			-150			μA

Table 11. AC CHARACTERISTICS $V_{CC} = 0 V$; $V_{EE} = -3.0 V$ to $-5.5 V$ or $V_{CC} = 3.0 V$ to $5.5 V$; $V_{EE} = 0 V$ (Note 14)

Symbol	Characteristic	-40°C			25°C			85°C			Unit	
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
f_{max}	Maximum Frequency (See Figure 4. $F_{max}/JITTER$)		> 3			> 3			> 3		GHz	
t_{PLH} , t_{PHL}	Propagation Delay D to Q, \bar{Q}	10 100	125 225	280 325	150 200	250 300	370 400	170 250	300 320	420 450	ps	
t_{SKEW}	Within Device Skew Device to Device Skew (Note 15)		15	50 200		20	50 200		20	50 200	ps	
t_{JITTER}	Cycle-to-Cycle Jitter (See Figure 4. $F_{max}/JITTER$)		0.2	< 1		0.2	< 1		0.2	< 1	ps	
t_r , t_f	Output Rise/Fall Times (20% - 80%)		100	150	200	120	170	220	150	190	250	ps